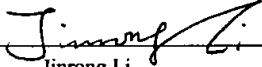


PATENT  
Docket No. 204552022200

36978 U.S. PRO  
10/051313  
01/22/02

CERTIFICATE OF HAND DELIVERY

I hereby certify that this correspondence is being hand filed with the United States Patent and Trademark Office in Washington, D.C. on January 22, 2002.

  
Jinrong Li

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

4/PH  
Cheresa  
7/3/02

In the application of:

Yasuaki HIRANO

Serial No.: to be assigned

Filing Date: January 22 2002

For: NONVOLATILE SEMICONDUCTOR  
MEMORY DEVICE AND METHOD OF  
ERASING THE SAME

Examiner: to be assigned

Group Art Unit: to be assigned

**TRANSMITTAL OF PRIORITY DOCUMENT**

Commissioner for Patents  
Washington, D.C. 20231

Sir:

Under the provisions of 35 USC 119, Applicant hereby claims the benefit of the filing of Japanese patent application No. 2001-0130229, filed January 22, 2001.

A certified copy of the priority document is attached to perfect Applicant's claim for priority.

It is respectfully requested that the receipt of the certified copy attached hereto be acknowledged in this application.

In the event that the transmittal letter is separated from this document and the Patent and Trademark Office determines that an extension and/or other relief is required, applicant petitions

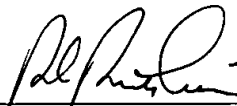
dc-296073

for any required relief including extensions of time and authorizes the Commissioner to charge the cost of such petitions and/or other fees due in connection with the filing of this document to

**Deposit Account No. 03-1952.**

Dated: January 22, 2002

Respectfully submitted,

By:   
Barry E. Bretschneider  
Registration No. 28,055

Morrison & Foerster LLP  
2000 Pennsylvania Avenue, N.W.  
Washington, D.C. 20006-1888  
Telephone: (202) 887-1545  
Facsimile: (202) 263-8396

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

1c978 U.S. PRO  
10/051313  
01/22/02

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 1月22日

出 願 番 号

Application Number:

特願2001-013029

出 願 人

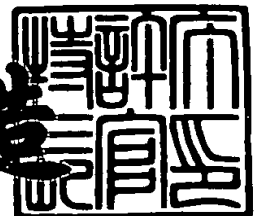
Applicant(s):

シャープ株式会社

2001年 8月31日

特許庁長官  
Commissioner,  
Japan Patent Office

及川耕造



出証番号 出証特2001-3077263

【書類名】 特許願

【整理番号】 174107

【提出日】 平成13年 1月22日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/10  
G11C 16/06  
H01L 29/78

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 平野 恭章

【特許出願人】

【識別番号】 000005049

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号

【氏名又は名称】 シャープ株式会社

【代理人】

【識別番号】 100062144

【弁理士】

【氏名又は名称】 青山 蓓

【選任した代理人】

【識別番号】 100084146

【弁理士】

【氏名又は名称】 山崎 宏

【手数料の表示】

【予納台帳番号】 013262

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

特 2 0 0 1 - 0 1 3 0 2 9

【物件名】            要約書    1

【包括委任状番号】    0003090

【プルーフの要否】    要

【書類名】 明細書

【発明の名称】 不揮発性半導体メモリ装置およびその消去方法

【特許請求の範囲】

【請求項 1】 制御ゲート,浮遊ゲート,ドレインおよびソースを有して電氣的に情報の書き込みおよび消去が可能な浮遊ゲート電界効果トランジスタが基板あるいはウェル上にマトリクス状に配置され、行方向に配列された各浮遊ゲート電界効果トランジスタの制御ゲートに接続された複数の行線と、列方向に配列された各浮遊ゲート電界効果トランジスタのドレインに接続された複数の列線を有すると共に、ブロックを構成する各浮遊ゲート電界効果トランジスタのソースが共通ソース線に接続された不揮発性半導体メモリ装置であって、

少なくとも消去時に上記共通ソース線に印加する電圧を供給するレギュレータ回路と、

上記レギュレータ回路と外部電源との間に挿入された抵抗素子と、

上記共通ソース線に対する消去電圧の印加開始を指示すると共に、上記抵抗素子からレギュレータ回路への入力電圧が所定の電圧レベルに到達したことを検知して上記共通ソース線に対する消去電圧の印加終了を指示する電圧レベル検知手段と、

上記電圧レベル検知手段からの指示を受けて、上記レギュレータ回路からの上記共通ソース線に対する消去電圧の印加を行う消去電圧印加手段を備えたことを特徴とする不揮発性半導体メモリ装置。

【請求項 2】 請求項 1 に記載の不揮発性半導体メモリ装置において、

上記外部電源と抵抗素子との間に介設された昇圧回路を備えて、

上記レギュレータ回路へは、上記昇圧回路からの出力電圧を、上記抵抗素子を介して供給するようになっていることを特徴とする不揮発性半導体メモリ装置。

【請求項 3】 請求項 1 あるいは請求項 2 に記載の不揮発性半導体メモリ装置において、

上記電圧レベル検知手段によって検知される所定の電圧レベルは、上記共通ソース線に印加される消去電圧よりも高い電圧であることを特徴とする不揮発性半導体メモリ装置。

【請求項 4】 請求項 1 に記載の不揮発性半導体メモリ装置において、  
上記抵抗素子の抵抗値は、(上記外部電源の電圧－上記消去電圧)/(消去電流の  
最大値)であることを特徴とする不揮発性半導体メモリ装置。

【請求項 5】 請求項 2 に記載の不揮発性半導体メモリ装置において、  
上記抵抗素子の抵抗値は、(上記昇圧回路の消去時の出力電圧－上記消去電圧)  
/(消去電流の最大値)であることを特徴とする不揮発性半導体メモリ装置。

【請求項 6】 請求項 1 あるいは請求項 2 に記載の不揮発性半導体メモリ装  
置において、

上記外部電源の電圧あるいは上記昇圧回路における消去時の出力電圧は、上記  
消去電圧よりも高い電圧であることを特徴とする不揮発性半導体メモリ装置。

【請求項 7】 請求項 6 に記載の不揮発性半導体メモリ装置において、  
上記外部電源の電圧あるいは上記昇圧回路における消去時の出力電圧は、9 V  
以上であることを特徴とする不揮発性半導体メモリ装置。

【請求項 8】 制御ゲート、浮遊ゲート、ドレインおよびソースを有して電気  
的に情報の書き込みおよび消去が可能な浮遊ゲート電界効果トランジスタが基板  
あるいはウェル上にマトリクス状に配置され、行方向に配列された各浮遊ゲート  
電界効果トランジスタの制御ゲートに接続された複数の行線と、列方向に配列さ  
れた各浮遊ゲート電界効果トランジスタのドレインに接続された複数の列線を有  
すると共に、ブロックを構成する各浮遊ゲート電界効果トランジスタのソースが  
共通ソース線に接続された不揮発性半導体メモリ装置の消去方法であって、

上記共通ソース線に消去電圧を印加し続ける第 1 消去動作と、

上記共通ソース線への消去パルスの印加と消去ベリファイとを繰り返して行う  
第 2 消去動作を備えて、

上記第 1 消去動作中において、上記共通ソース線に印加する電圧を発生させる  
安定化回路とこの安定化回路の電源との間に流れる電流値を検出し、所定の電流  
値に至った場合には上記第 1 消去動作を停止すると共に、上記第 2 消去動作を開  
始することを特徴とする不揮発性半導体メモリ装置の消去方法。

【請求項 9】 請求項 8 に記載の不揮発性半導体メモリ装置の消去方法にお  
いて、

上記安定化回路の電源は、内部昇圧回路であることを特徴とする不揮発性半導体メモリ装置の消去方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、消去する際にソースに高電圧を印加する不揮発性半導体メモリ装置、および、その消去方法に関する。

【0002】

【従来の技術】

従来、最も一般的に用いられているフラッシュメモリ(一括消去型メモリ)として、E T O X (EPROM THIN OXIDE: インテル社の商標)がある。このE T O X型フラッシュメモリセルの模式的な断面図を図8に示す。図8から分るように、ソース1とドレイン2とソース-ドレイン間の基板(ウェル)3との上に、トンネル酸化膜4を介してフローティングゲート5が形成されている。さらに、上記フローティングゲート5の上に、層間絶縁膜6を介してコントロールゲート7が形成されている。

【0003】

上記E T O X型フラッシュメモリの動作原理について述べる。表1に示すように、書き込み時には、上記コントロールゲート7に電圧 $V_{pp}$ (例えば10V)を印加し、ソース1に基準電圧 $V_{ss}$ (例えば0V)を印加し、ドレイン2に6Vの電圧を印加する。これによって、チャネル層には多くの電流が流れ、ドレイン2側の電界が高い部分でチャネルホットエレクトロンが発生し、フローティングゲート5に電子が注入される。その結果、メモリセル8の閾値電圧が上昇して当該メモリセルへの書き込みが行われる。図9は、書き込み状態と消去状態とにおける閾値電圧分布を示す。図9に示すように、書き込まれたメモリセルの閾値電圧は5V以上となる。

表 1



	コントロール ゲート 7	ドレイン 2	ソース 1	基板 3
書き込み	1 0 V	6 V / 0 V	0 V	0 V
消去	- 9 V	オープン	5 V	0 V
読み出し	5 V	1 V	0 V	0 V

## 【 0 0 0 4 】

また、消去時は、図 1 0 に示すように、コントロールゲート 7 に電圧  $V_{nn}$  (例えば - 9 V) を印加し、ソース 1 に電圧  $V_{pe}$  (例えば 5 V) を印加し、ドレイン 2 をオープンにすることによって、ソース 1 側とフローティングゲート 5 との間のトンネル酸化膜 4 に強い電解が発生する。そして、ファウラーノードハイム (F N) トンネル現象によって、ソース 1 側に電子を引き抜いてメモリセル 8 の閾値電圧を低下させるのである。その結果、図 9 に示すように、消去されたメモリセル 8 の閾値電圧は 1.5 V ~ 3 V となる。

## 【 0 0 0 5 】

また、読み出し時には、上記ドレイン 2 に電圧 1 V を印加し、コントロールゲート 7 に電圧 5 V を印加する。ここで、当該メモリセル 8 が消去状態で閾値電圧が低い場合は、当該メモリセル 8 に電流が流れて状態「1」と判定される。一方、当該メモリセル 8 が書き込み状態で閾値電圧が高い場合は、当該メモリセルに電流が流れず状態「0」と判定される。

## 【 0 0 0 6 】

このような動作原理に基づいて、上記メモリセル 8 に対して書き込み、消去および読み出しが行なわれるのである。ところで、実際の不揮発性半導体メモリ装置における消去時には、例えば 64 kB と比較的大きなブロック単位で一括消去される。その場合、その消去されるべきブロック内のメモリセルの閾値電圧は、書き込み状態のものもあれば消去状態のものもあり、一括消去には複雑なアルゴリズムを用いている。その基本的なアルゴリズムを図 1 1 に示す。以下、この一括消去アルゴリズムについて簡単に説明する。

## 【 0 0 0 7 】

消去がスタートすると、先ずステップ S1 で、オーバーイレースを防止するた

めの消去前書き込みが、全メモリセルに対して行われる。すなわち、消去前書き込みパルスとしての所定幅のパルスが、上記メモリセル 8 のコントロールゲート 7 およびドレイン 2 に印加される。ステップ S2 で、書き込みベリファイが実行される。すなわち、各メモリセル 8 の閾値電圧値が検証されるのである。ステップ S3 で、ベリファイ結果が可であるか否であるか、即ち全メモリセルの閾値電圧値が書き込み状態である所定の値 (5.0 V) 以上あるか否かが判別される。その結果、否であれば上記ステップ S1 に戻って消去前書き込みを繰り返す一方、可であればステップ S4 に進む。こうして、消去対象ブロック内の全メモリセルの閾値電圧が上記所定の値以上になるまで、消去前書き込みパルスの印加とベリファイとが繰り返される。

## 【 0 0 0 8 】

ステップ S4 で、消去パルスの印加が行われる。この消去パルス印加は、オーバーレース (過剰消去 : 図 9 の例の場合ではメモリセルの閾値電圧値が 1.5 V 以下になること) を防止するために、消去パルスのパルス幅を完全な消去に必要な時間より短く (例えば 10 ms) 設定し、消去すべきメモリセルのコントロールゲート 7 およびソース 1 にワード線単位で一括して印加するのである。

## 【 0 0 0 9 】

ステップ S5 で、消去ベリファイが実行される。すなわち、各メモリセル 8 の閾値電圧値が検証される。ステップ S6 で、ベリファイ結果が可であるか否であるか、即ち全メモリセルの閾値電圧が消去状態である所定の値 (3.0 V) 以下あるか否かが判別される。その結果、否であれば上記ステップ S4 に戻って消去パルスの印加が繰り返される一方、可であればステップ S7 に進む。

## 【 0 0 1 0 】

尚、上記ステップ S5 における消去ベリファイは、ワード線を介してコントロールゲート 7 に電圧 3.0 V を印加する以外は、表 1 における読み出し動作と同様である。つまり、ベリファイを行う選択メモリセルのワード線には電圧 3.0 V を印加し、それ以外の非選択メモリセルのワード線には 0 V を印加する。そして、順次ワード線を選択しながらメモリセルにセル電流が流れるか否かを検出することによってベリファイを行う。もしくは、ワード線の電圧を 5.0 V として

3.0 Vの閾値電圧を有するメモリセルと電流量を比較することによって行う。そして、1つでも所定の閾値電圧以上のメモリセルが存在すれば、再度消去パルス印加するのである。こうして、消去対象ブロック内の全メモリセルの閾値電圧が所望の値以下になるまで、この消去パルス印加とベリファイとが繰り返される。

## 【0011】

ステップS7で、オーバーイレース状態のメモリセルが在るか否かを検証するオーバーイレースベリファイが実行される。ステップS8で、ベリファイ結果が可であるか否であるかが判別される。その結果、オーバーイレース状態のメモリセルが1個でも検出されればステップS9に進み、無ければ消去処理動作を終了する。ステップS9で、オーバーイレース状態のメモリセルに対して、ソフトプログラム(軽度な書き込み)が実行される。こうして、オーバーイレース状態のメモリセルの閾値電圧を上昇させて、上記ステップS8において全メモリセルの閾値電圧分布が1.5 V～3.0 Vであると判別されると、消去処理動作を終了するのである。

## 【0012】

通常、上記メモリセル8の消去特性には図12に示すようにバラツキがあり、消去動作の速いメモリセル(ファーストセル)と、消去動作の遅いセル(スローセル)とが存在する。図12は、消去パルスを合計300ms間印加すると、ファーストセルの閾値電圧はイレース状態上限の3Vに、スローセルの閾値電圧はイレース状態下限の1.5Vに収まることを示している。

## 【0013】

ところが、上記メモリセル8の消去特性のバラツキが更に大きくなり、オーバーイレース状態が進んで、特に閾値電圧が0V以下のメモリセルが出現すると、消去ベリファイ実行時に非選択メモリセルのワード線を0Vにしても、非選択メモリセル中に閾値電圧が0V以下のメモリセルがあると該メモリセルにセル電流が流れてしまう。そのため、選択したメモリセルに対する正しいベリファイ動作ができなくなってしまう、フラッシュメモリの信頼性が損なわれることになる。

## 【0014】

そこで、このオーバーイレースを回避するため、一連の消去動作中において、短いパルス幅の消去パルスを印加しながらこまめに閾値電圧値の変動をチェック（ベリファイ）を行う必要があり、消去パルスの印加と消去ベリファイとを繰り返し実行しなければならない。但し、この一連の消去動作のうち、消去ベリファイ動作は、ある程度メモリセルの閾値電圧が下がって消去状態になりつつある状態から実施すれば良く、図 1 1 に示す消去パルスと消去ベリファイとを最初から繰り返す従来の一括消去アルゴリズムでは、消去初期時における消去ベリファイに費やす時間が無駄になるのである。以上が、従来のフラッシュメモリの消去方法である。以下、このフラッシュメモリの消去方法を従来消去法 1 と言う。

## 【 0 0 1 5 】

このような問題点を解決する方法の 1 つとして、特開平 8 - 1 1 1 0 9 6 号公報に示されているフラッシュ E E P R O M (電氣的消去書き込み可能リード・オンリ・メモリ) の消去方法が開示されている。以下、その概要について述べる。尚、以下、このフラッシュ E E P R O M の消去方法を従来消去法 2 と言う。

## 【 0 0 1 6 】

上述したフラッシュメモリに対する従来消去法 1 では、上記ソース 1 に正の高電圧(例えば 5 V)を印加する一方、コントロールゲート 7 には負の電圧(例えば - 9 V)を印加することによって、フローティングゲート 5 から電子を引き抜く方法を用いている。ところが、フローティングゲート 5 とソース 1 との間の電位差によってフローティングゲート 5 下の領域で空乏化が生じ、バンド間トンネリング現象によってソース 1 から基板 3 へのワーク電流(図 2 : B T B T (Band to Band Tunneling)電流)が発生する。この現象は、フローティングゲート 5 とソース 1 との電位差が大きい程、つまりはフローティングゲート 5 に注入されている電子の量が多くてメモリセルの閾値が高い程顕著になり、リーク電流が増えることからトータルとしての消費電流量が多くなる。したがって、図 1 3 に示すように、消去パルス印加開始直後の消去電流量が最も多く、消去が進むにつれて消去電流量が低下することになる。

## 【 0 0 1 7 】

上記特開平 8 - 1 1 1 0 9 6 号公報におけるフラッシュ E E P R O M に対する

従来消去法 2 もソース側に電子を引抜くソース消去型であり、上記フラッシュメモリに対する従来消去法 1 の場合と同様に消去初期の段階はメモリセルのソースから基板へのリーク電流が大きい。そのために、図 1 4 に示すように、消去中のメモリセルに関するソース線の電圧は大きく低下し、消去が進行してメモリセルの閾値が降下してメモリセルの上記リーク電流が減少するにつれて、上記ソース線電圧が上昇するという特性を有している。

## 【 0 0 1 8 】

上記特開平 8 - 1 1 1 0 9 6 号公報は、図 1 4 に示すソース線電圧の上昇を利用して消去動作を行うものであり、図 1 5 に消去動作系の回路図を示す。この消去動作系回路は、共通ソース線 1 1 の電圧を検知して、第 1 レベルシフタ回路 H V 1 にフィードバックするレベル検知回路 1 2 を有している。また、この場合における消去方式は、ソースに + 1 2 V (V<sub>pp</sub>) を印加する一方、コントロールゲートには 0 V を印加すると共に、ドレインをフローティングにするソース高電圧消去方式であり、上述した従来消去法 1 であるコントロールゲート負電圧消去方式とは異なる。

## 【 0 0 1 9 】

主に異なる点は、消去時にソース部で消費される電流である。上記ソースに 1 2 V を印加するソース高電圧消去方式では、コントロールゲート負電圧消去方式に比べて消去電流は 5 倍程度大きい。例えば、6 4 k B のブロック消去の場合、コントロールゲート負電圧消去方式では消去電流が 2 m A 程度である。これに対して、ソース高電圧消去方式では 1 0 m A 程度となる。

## 【 0 0 2 0 】

図 4 に、上記従来消去法 2 における消去アルゴリズムを示す。消去がスタートすると、先ずステップ S 1 1 ～ステップ S 1 3 で、図 1 1 に示す従来消去法 1 の消去アルゴリズムにおけるステップ S 1 ～ステップ S 3 と同様にして、消去前書き込みが行われ、書き込みベリファイの結果が可であればステップ S 1 4 に進む。ステップ S 1 4 で、1 回目の消去パルス印加が開始される。ステップ S 1 5 で、ソース線電圧 V<sub>s</sub> が電圧 V<sub>ref</sub> 以上であるか否かが判別される。その結果、電圧 V<sub>ref</sub> 以上になればステップ S 1 6 に進む。ステップ S 1 6 で、1 回目の消去パルス印加が終了さ

れる。この場合におけるソース線電圧と消去パルス印加時間の関係は図 1 4 と同様である。また、図 1 6 にソース線電圧  $V_s$  と閾値電圧  $V_{th}$  との関係を示す。図 1 4 から判るように、初期状態ではリーク電流が多く流れ、ソース線電圧は消去用印加電圧 1 2 V までは到達しない。その後、時間と共にリーク電流が減り、ソース線電圧は徐々に上昇して最終的には 1 2 V に近いレベルにまで上昇する。これは、上述したように、閾値電圧  $V_{th}$  が下降するに従って B T B T 電流が低減するためである(図 1 6 参照)。

## 【 0 0 2 1 】

上記従来消去法 2 ではこの点を利用して消去動作を行うのである。すなわち、ソース線電圧  $V_s$  が上昇し、電圧  $V_{ref}$  (例えば 1 0 V) になるまで 1 回目の消去パルス印加を続ける。そして、ソース線電圧  $V_s$  が電圧  $V_{ref}$  になるとレベル検知回路 1 2 の出力が変化し、レベルシフタ回路 H V 1 の出力を「H」にして P - M O S トランジスタ 1 3 をオフにして、消去パルス印加を停止するのである。そして、次に、消去パルス発生回路 1 4 からの出力に基づくレベルシフタ回路 H V 2 による通常の消去に移行するのである。

## 【 0 0 2 2 】

ステップ S 17 ～ステップ S 22 で、図 1 1 に示す従来消去法 1 の消去アルゴリズムにおけるステップ S 4 ～ステップ S 9 と同様にして、パルス幅が 1 0 ms 程度である消去パルスの印加と消去ベリファイとが繰り返され、全メモリセルの閾値電圧が 3 V 以下になるオーバーイレース状態のメモリセルが在るか否かが確認され、在ればソフトプログラムが行われて消去動作を終了する。

## 【 0 0 2 3 】

## 【発明が解決しようとする課題】

しかしながら、上記フラッシュ E E P R O M に対する従来消去法 2 をフラッシュメモリに適用した場合には、以下のような問題がある。すなわち、従来消去法 2 は、ソース高電圧消去を行う場合に最適化したものである。一方、現状のフラッシュメモリの多くは、信頼性への影響を考慮して上述したコントロールゲート負電圧消去を用いている。そこで、上記従来消去法 2 にコントロールゲート負電圧消去を適用した場合について述べる。その場合における閾値電圧  $V_{th}$  とソース

線電圧  $V_s$  との関係を図 17 に示し、ソース線電圧  $V_s$  と消去時間との関係を図 18 に示し、図 19 に消去動作系の回路図を示す。

## 【0024】

上述したように、上記フラッシュメモリの場合にはフラッシュEEPROMに比較してリーク電流を含む消去電流は約  $1/5$  程度であり、そのためにメモリセル部で発生するBTBT電流は少ない。したがって、図18に見られるように、ソース線電圧  $V_s$  は、初期状態から印加電圧である5Vに近いレベルまで上昇する。図19におけるレベル検知回路15の電圧  $V_{ref}$  の設定を4.5Vとすると、ソース線電圧  $V_s$  が上昇して4.5Vになるとレベル検知回路15の出力信号が反転し、レベルシフタ回路16の出力レベルが「H」となって1回目の消去パルス印加が終了する。

## 【0025】

ここで、上記レベル検知回路15は、図3に示すようにコンパレータで構成されているため、ソース線電圧  $V_s$  が4.5V付近まで到達して出力レベルが反転するまで入力段にオフセット電圧が存在する。そして、このオフセット電圧は、プロセスバラツキや温度バラツキによって変動するために、約0.1V程度バラツキが発生する可能性がある。図17から分かるように、電圧  $V_{ref}$  が4.5Vであるため消去開始直後のソース線電圧  $V_s$  からの取り得る電圧振幅  $V_B$  はわずかになく、そのために上記オフセット電圧のバラツキはソース線電圧  $V_s$  のバラツキとして最大1V程度に達することになる。

## 【0026】

上述した従来消去法2においては、共通ソース線11を流れる電流が全体的に大きく且つ印加電圧が12Vと大きいのでソース線電圧の変動が大きく、上述のような問題は生ずることはない。しかしながら、従来消去法2をフラッシュメモリに展開した場合には、上記BTBT電流が少ないためにソース線電圧  $V_s$  の変動による電圧差が小さく、さらに印加電圧が5Vと小さいので、図17から分かるように、1回目の消去パルス印加が終了する際における閾値電圧が大きく変動する。したがって、閾値電圧分布に大きなバラツキが生じることになり、大きな問題となるのである。

## 【0027】

その結果、上記1回目の消去パルス印加後における閾値電圧のバラツキが上記電圧 $V_{ref}$ よりも高い方へずれた場合には、2回目以降の消去パルス印加と消去ベリファイとの回数にバラツキが生じ、結果として消去時間が長くなるという問題がある。また、閾値電圧のバラツキが電圧 $V_{ref}$ のものよりも低い方へずれた場合には、閾値電圧分布の低い側に位置するメモリセルはオーバーイレースを起こすという問題がある。後者の問題を防止する1つの手段としては、図19に示すように、レベルシフタ回路16の出力とレベル検知回路15の入力との間に抵抗素子17を挿入することが考えられる。こうすれば、ソース線電圧 $V_s$ の変動が大きくなり、1回目の消去パルス印加が終了する際における閾値電圧のバラツキは低減されることになる。しかしながら、この方法を用いた場合にはソース電流の変動が制限されるため、ソース線電圧 $V_s$ の経時変化は図20に示すようになる。したがって、抵抗素子17を挿入しない場合(図18参照)に比べて、消去パルス印加開始直後のソース線電圧 $V_s$ の立ち上がりが小さく、且つ、その後の上昇も遅い。したがって、結果として、消去スピードが劣化して消去時間が長くなってしまふのである。

## 【0028】

そこで、この発明の目的は、消去スピードを劣化させることなく、且つ、閾値電圧のバラツキが小さくなるように1回目の消去パルス印加時間を設定できる不揮発性半導体メモリ装置、および、その消去方法を提供することにある。

## 【0029】

## 【課題を解決するための手段】

上記目的を達成するため、第1の発明は、制御ゲート、浮遊ゲート、ドレインおよびソースを有して電氣的に情報の書き込みおよび消去が可能な浮遊ゲート電界効果トランジスタが基板またはウェル上にマトリクス状に配置され、行方向に配列された各浮遊ゲート電界効果トランジスタの制御ゲートに接続された複数の行線と、列方向に配列された各浮遊ゲート電界効果トランジスタのドレインに接続された複数の列線を有すると共に、ブロックを構成する各浮遊ゲート電界効果トランジスタのソースが共通ソース線に接続された不揮発性半導体メモリ装置であ



って、少なくとも消去時に上記共通ソース線に印加する電圧を供給するレギュレータ回路と、上記レギュレータ回路と外部電源との間に挿入された抵抗素子と、上記共通ソース線に対する消去電圧の印加開始を指示すると共に、上記抵抗素子からレギュレータ回路への入力電圧が所定の電圧レベルに到達したことを検知して上記共通ソース線に対する消去電圧の印加終了を指示する電圧レベル検知手段と、上記電圧レベル検知手段からの指示を受けて、上記レギュレータ回路からの上記共通ソース線に対する消去電圧の印加を行う消去電圧印加手段を備えたことを特徴としている。

## 【 0 0 3 0 】

上記第 1 の発明の構成によれば、消去開始直後は、書き込み状態の浮遊ゲート電界効果トランジスタの閾値電圧が高いために上記 B T B T 電流も含めたリーク電流が多く流れ、外部電源とレギュレータ回路との間に挿入された抵抗素子による電圧降下が大きい。しかしながら、消去電圧印加手段によって共通ソース線に消去電圧が印加され続けると上記浮遊ゲート電界効果トランジスタの閾値電圧が低下し、それに連れてリーク電流が減少して上記抵抗素子による電圧降下も減少する。こうして、レギュレータ回路への入力電圧が上昇し、やがて所定の電圧レベルに到達したことが電圧レベル検知手段によって検知されると、上記消去電圧印加手段に対して上記共通ソース線に対する消去電圧の印加終了が指示される。

## 【 0 0 3 1 】

上記動作において、上記抵抗素子の抵抗値を大きくすれば、上記レギュレータ回路への入力電圧の上昇量、つまり電圧振幅を大きく取ることができ、上記電圧レベル検知手段における主力段のバラツキの影響が小さく圧縮される。こうすることによって、消去電圧印加終了時における上記浮遊ゲート電界効果トランジスタの閾値電圧のバラツキが小さくなる。したがって、以後行われる消去パルス印加および消去ベリファイの繰り返しによって生ずる上記閾値電圧の低い方へのバラツキに起因するオーバーイレース状態のメモリセルの出現や、上記閾値電圧の高い方へのバラツキに起因する消去時間の延長が防止される。

## 【 0 0 3 2 】

また、第 1 の実施例は、第 1 の発明の不揮発性半導体メモリ装置において、上

記外部電源と抵抗素子との間に介設された昇圧回路を備えて、上記レギュレータ回路へは、上記昇圧回路からの出力電圧を、上記抵抗素子を介して供給するようになっていることを特徴としている。

## 【 0 0 3 3 】

この実施例によれば、上記レギュレータ回路へは、上記外部電源からの電圧が昇圧回路で所望の電圧に昇圧されてから上記抵抗素子を介して供給される。こうして、消去スピードが劣化せず、消費電流の低減を図ることができる不揮発性半導体メモリ装置が、フラッシュメモリ等において従来から用いられている書き込み、消去および読み出しの用の各電圧を単一電源から内部的に生成する上記昇圧回路を利用して構成される。

## 【 0 0 3 4 】

また、第2の実施例は、第1の発明あるいは第1の実施例の不揮発性半導体メモリ装置において、上記電圧レベル検知手段によって検知される所定の電圧レベルは、上記共通ソース線に印加される消去電圧よりも高い電圧であることを特徴としている。

## 【 0 0 3 5 】

この実施例によれば、上記電圧レベル検知手段によって検知される所定の電圧レベルは上記消去電圧よりも高い電圧である。したがって、消去時間の経過と共に上記浮遊ゲート電界効果トランジスタの閾値電圧が低下し、それに伴って上記レギュレータ回路への入力電圧が上記消去電圧から上昇して行く際に、上記消去電圧の印加終了が的確に判定される。

## 【 0 0 3 6 】

また、第3の実施例は、第1の発明の不揮発性半導体メモリ装置において、上記抵抗素子の抵抗値は、 $(\text{上記外部電源の電圧} - \text{上記消去電圧}) / (\text{消去電流の最大値})$ であることを特徴としている。

## 【 0 0 3 7 】

また、第4の実施例は、第1の実施例の不揮発性半導体メモリ装置において、上記抵抗素子の抵抗値は、 $(\text{上記昇圧回路における消去時の出力電圧} - \text{上記消去電圧}) / (\text{消去電流の最大値})$ であることを特徴としている。

## 【 0 0 3 8 】

これらの実施例によれば、上記レギュレータ回路への入力電圧は、上記消去電流が最大の場合であっても上記消去電圧が確保される。

## 【 0 0 3 9 】

また、第5の実施例は、第1の発明あるいは第1の実施例の不揮発性半導体メモリ装置において、上記外部電源の電圧あるいは上記昇圧回路における消去時の出力電圧は、上記消去電圧よりも高い電圧であることを特徴としている。

## 【 0 0 4 0 】

この実施例によれば、上記外部電源の電圧あるいは上記昇圧回路における消去時の出力電圧は上記消去電圧よりも高い電圧である。したがって、消去時間の経過と共に上記浮遊ゲート電界効果トランジスタの閾値電圧が低下し、それに伴って上記リーク電流が減少した際に、レギュレータ回路への入力電圧が上記消去電圧から上昇していくことになる。したがって、上記消去電圧の印加終了が的確に且つ安定して判定される。

## 【 0 0 4 1 】

また、第6の実施例は、上記第5の実施例の不揮発性半導体メモリ装置において、上記外部電源の電圧あるいは上記昇圧回路における消去時の出力電圧は9V以上であることを特徴としている。

## 【 0 0 4 2 】

この実施例によれば、上記共通ソース線に印加される消去電圧を例えば5Vとすると、上記レギュレータ回路への入力電圧の上昇量である電圧振幅を4Vと十分に大きく取ることができる。

## 【 0 0 4 3 】

また、第2の発明は、制御ゲート、浮遊ゲート、ドレインおよびソースを有して電氣的に情報の書き込みおよび消去が可能な浮遊ゲート電界効果トランジスタが基板あるいはウェル上にマトリクス状に配置され、行方向に配列された各浮遊ゲート電界効果トランジスタの制御ゲートに接続された複数の行線と、列方向に配列された各浮遊ゲート電界効果トランジスタのドレインに接続された複数の列線を有すると共に、ブロックを構成する各浮遊ゲート電界効果トランジスタのソー

スが共通ソース線に接続された不揮発性半導体メモリ装置の消去方法であって、上記共通ソース線に消去電圧を印加し続ける第1消去動作と、上記共通ソース線への消去パルスの印加と消去ベリファイとを繰り返して行う第2消去動作を備えて、上記第1消去動作中において、上記共通ソース線に印加する電圧を発生させる安定化回路とこの安定化回路の電源との間に流れる電流値を検出し、所定の電流値に至った場合には上記第1消去動作を停止すると共に、上記第2消去動作を開始することを特徴としている。

## 【 0 0 4 4 】

上記構成によれば、第1消去動作における消去開始直後は、書き込み状態の浮遊ゲート電界効果トランジスタの閾値電圧が高いために上記B T B T電流も含めたリーク電流が多く流れ、電源から安定化回路へ流れる電流値も大きい。しかしながら、共通ソース線に消去電圧が印加され続けると上記浮遊ゲート電界効果トランジスタの閾値電圧が低下し、それに連れてリーク電流が減少して上記電源から安定化回路への電流値も減少する。こうして、上記電源から安定化回路への電流値が下降して所定の電圧値に到達すると、上記第1消去動作が停止されと共に第2消去動作が開始される。

## 【 0 0 4 5 】

## 【発明の実施の形態】

以下、この発明を図示の実施の形態により詳細に説明する。

## &lt;第1実施の形態&gt;

図1は、本実施の形態の不揮発性半導体メモリ装置における消去動作時にソース線へ電圧を印加する消去時ソース電圧印加回路のブロック図である。本実施の形態における消去動作は、基本的に従来消去法2と同様であり、1回目の消去パルス印加動作と2回目以降の消去パルス印加動作とに分割して行う。尚、消去動作(ベリファイも含む)におけるワード線W L 0 ~ W L n (行方向に配列された各メモリセルのコントロールゲートに共通に接続)への電圧印加や、ビット線B L 0 ~ B L m (列方向に配列された各メモリセルのドレインに接続)への電圧印加を行う消去電圧印加回路は、従来と同じであるため説明は省略する。

## 【 0 0 4 6 】

アレイを構成している各メモリセルのソースはブロック単位で共通化され、共通ソース線 2 1 に接続されている。そして、共通ソース線 2 1 には、消去パルスを印加する上記消去時ソース電圧印加回路が接続されている。

## 【 0 0 4 7 】

この消去時ソース電圧印加回路は第 1 回路部と第 2 回路部との 2 つの回路部で構成されている。第 1 回路部は、上記 1 回目の消去パルス印加動作を行う回路であり、レベル検知回路 2 2 , レベルシフター回路 2 3 および P - M O S トランジスタ P 1 で構成される。

## 【 0 0 4 8 】

上記レベル検知回路 2 2 は、共通ソース線 2 1 の消去電流の変化を電圧レベルの変化としてモニターし、参照電圧(電圧 V ref)と比較する。そして、その比較結果に基づいて、モニター電圧が電圧 V refになると出力信号のレベルを「H」にする。レベルシフター回路 2 3 は、レベル検知回路 2 2 の出力信号のレベルを変換する。P - M O S トランジスタ P 1 は、レベルシフター回路 2 3 の出力信号がゲートに入力されて、上記共通ソース線 2 1 への 1 回目の消去パルス印加のオン/オフを制御する。こうして、モニター電圧が電圧 V refになると、共通ソース線 2 1 への 1 回目の消去パルス印加がオフされるのである。

## 【 0 0 4 9 】

一方、上記第 2 回路部は、2 回目以降の消去パルス印加と消去ベリファイとを交互に行う通常の消去動作を行うための消去パルス印加回路であり、消去パルス発生回路 2 4 , レベルシフター回路 2 5 , P - M O S トランジスタ P 2 および N - M O S トランジスタ N 2 で構成される。

## 【 0 0 5 0 】

上記消去パルス発生回路 2 4 は、消去動作が開始されてErase信号のレベルが「H」になると、レベル「L」の消去パルス信号を発生する。レベルシフター回路 2 5 は、消去パルス発生回路 2 4 からの消去パルス信号のレベルを変換する。P - M O S トランジスタ P 2 は、レベルシフター回路 2 5 の出力信号がゲートに入力されてオンする。一方、N - M O S トランジスタ N 2 は、Erase信号の反転信号がゲートに入力されてオフする。その結果、共通ソース線 2 1 へ 2 回目以降の消

去パルスが印加される。こうして、所定時間だけ消去パルスが印加(パルス幅は例えば10ms)されると、消去ベリファイ期間に以降し、Erase信号およびその反転信号のレベルが反転する。その結果、P-MOSトランジスタP2はオフする一方、N-MOSトランジスタN2はオンする。そして、共通ソース線21には基準電圧(ここでは0V)が印加されるのである。その間、消去ベリファイ回路(図示せず)によって消去ベリファイが行われる。

## 【0051】

上記消去ベリファイ回路については記載しないが、消去ベリファイを行う選択ワード線WLには3Vを印加し、消去ベリファイを行わない非選択ワード線WLには0Vを印加し、ビット線BLには1Vを印加する。そして、セル電流が流れるメモリセルが在るか否かを検証することによって消去ベリファイを行う機能を有する。

## 【0052】

以上の構成は、従来消去法2と消去パルスの電圧レベルが異なるだけで同じ構成である。以下、本実施の形態の特徴であるレベル検知回路22による電圧モニター方法について説明する。

## 【0053】

外部端子26から入力された電圧V<sub>pp</sub>(例えば、12V)が、抵抗素子28を介してレギュレータ回路27に印加される。その際に、抵抗素子28によって電圧降下が生じて電圧V<sub>rpin</sub>がレギュレータ回路27に入力され、定電圧化されて、安定した電圧V<sub>pll</sub>(例えば、5V)がP-MOSトランジスタP1およびP-MOSトランジスタP2のソース側に入力されるのである。

## 【0054】

上記外部端子26とレギュレータ回路27の入力端子との間に挿入されている抵抗素子28の抵抗値は、以下のように設定する。上述したように、フラッシュメモリのリーク電流であるBTBT電流を含む消去電流は経時変化するのであるが、その最大値(1回目の消去パルス印加時における初期状態)を2mAとする。そうすると、消去電流が最大値であってもレギュレータ回路27で安定化して5Vの電圧V<sub>pll</sub>を得るためには、抵抗素子28の抵抗値Rは、

$$(12\text{V} - 5\text{V}) / 2\text{mA} = 3500\Omega$$

にすればよい。こうすれば、時間と共に消去電流が減少して抵抗素子28による電圧降下が減り、結果としてレギュレータ回路27への入力電圧V<sub>rpin</sub>が上昇しても、レギュレータ回路27によって安定して5Vの電圧V<sub>p11</sub>が出力される。したがって、電圧V<sub>p11</sub>は常に5Vを安定して維持できることになる。

## 【0055】

図2は、上記レギュレータ回路27の具体的構成例を示す。本レギュレータ回路27は、参照電圧(Ref電圧)として例えば3Vを使用し、出力電圧V<sub>p11</sub>が5VであってP-MOSトランジスタ29がオンの場合に、直列に接続された抵抗R1とR2との間のノードN1の電圧が3Vになるように、抵抗R1およびR2の抵抗値が設定されている。そして、ノードN1の電圧が3V以上になるとP-MOSトランジスタ29がオフする一方、逆にノードN1の電圧が3V以下になるとP-MOSトランジスタ29がオンすることによって、入力電圧V<sub>rpin</sub>の変動には影響されずに安定して5Vの電圧V<sub>p11</sub>を出力する。尚、本レギュレータ回路27は既知の回路であるため、詳細な説明は省略する。

## 【0056】

また、上記レベル検知回路22は、上記従来消去法2で説明した図3に示す回路構成を有している。但し、上記従来消去法2とは、電源電圧が5VからV<sub>pp</sub>に変更され、参照電圧V<sub>ref</sub>が4.5Vから後述するように例えば1.1Vに変更された点において異なる。

## 【0057】

さらに、本実施の形態における消去動作のアルゴリズムは、図4に示すアルゴリズムと同じである。以下、簡単に説明する。書き込み状態のメモリセルと消去状態のメモリセルとの混在状態からそのまま消去パルスを印加すると、オーバーレース状態のメモリセルが出現してしまう。そこで、消去動作がスタートすると、まず、書き込みベリファイによってメモリセルの閾値電圧を検証しつつ消去前書き込みを行って、メモリセルの閾値電圧を上昇させる。そして、消去すべき全メモリセルの閾値電圧が5.0V以上になれば、消去前書き込みは終了する。

## 【0058】

次いで、以下のようにして1回目の消去パルス印加を行う。まず、外部端子26から電圧 $V_{pp}(=12V)$ を入力することによって、レギュレータ回路27から5Vの電圧 $V_{pl1}$ を出力する。その際に、上述したように、消去パルス印加直後は、メモリセルの閾値電圧が高いためにリーク電流としてのBTBT電流が大きく、BTBT電流を含む消去電流は大きい。したがって、抵抗素子28による電圧降下は大きく、抵抗値を $3500\Omega$ に設定しておけばレギュレータ回路27への入力電圧 $V_{rpin}$ は5V程度からスタートすることになる。

## 【0059】

この場合、上記レベル検知回路22(但し、図3において参照電圧 $V_{ref}$ は11Vに設定)の出力outのレベルは「L」( $V_{ss}$ )となるため、レベルシフター回路23は電圧 $V_{ss}$ レベルを出力することになる。その結果、上記P-MOSトランジスタP1はオンして、共通ソース線21には電圧 $V_{pl1}(5V)$ が印加される。

## 【0060】

こうして上記消去パルスが印加され続けるとメモリセルの閾値電圧は降下し、それに連れてリーク電流(BTBT電流)も減少し、図18に示すようにソース線電圧は上昇する。一方、上記リーク電流が減少するためにリーク電流を含む消去電流(最大値2mA)も減少し、レギュレータ回路27への入力電圧 $V_{rpin}$ は上昇するが上述したようにレギュレータ回路27によって電圧 $V_{pl1}$ は5Vで安定するのである。

## 【0061】

図5は、上記レギュレータ回路27への入力電圧 $V_{rpin}$ とメモリセルの閾値電圧 $V_{th}$ との消去時間に対する変化を示したものである。上述のごとく、消去時間と共にリーク電流が減少して消去電流が減少することによって電圧 $V_{rpin}$ は上昇し、レベル検知回路22の参照電圧 $V_{ref}(=11V)$ を越えるとレベル検知回路22の出力outは反転し、レベル「H」(例えば $V_{pp}$ )となる。この信号をレベルシフター回路23で変換することによって、P-MOSトランジスタP1はオフとなり、1回目の消去パルス印加が終了するのである。

## 【0062】

次いで、図4におけるステップS17以降の消去ベリファイを伴う消去パルス印



加動作に移行する。これは、先に説明したように、Erase信号をレベルを「H」にし、P-MOSトランジスタP2をオンして電圧 $V_{p11}$ (5 V)を共通ソース線21に印加する。そして、ベリファイ時はErase信号をレベルを「L」にし、N-MOSトランジスタN2をオンして基準電圧(0 V)を共通ソース線21に印加するのである。

## 【0063】

以上の消去動作中において、上記レベル検知回路22は電源を $V_{pp}$ (12 V)とし参照電圧 $V_{ref}$ を11 Vとしているため、図5から分かるように、上記入力電圧 $V_{rpin}$ は5 Vからスタートして約6 V以上の電圧振幅を取ることができる。したがって、レベル検知回路22にプロセスバラツキや温度バラツキに起因する入力段のオフセット電圧バラツキが存在したとしても、出力段のバラツキの影響を小さく圧縮させることができる。したがって、1回目の消去パルス印加終了後におけるメモリセルの閾値電圧のバラツキを小さく圧縮でき、 $\pm 0.2$  V程度、即ち0.4 V程度の範囲に低減させることができるのである。

## 【0064】

これによって、コントロールゲート負電圧消去法を一般的に用いるフラッシュメモリ等の不揮発性半導体メモリに適用しても、1回目の消去パルス印加時のメモリセルの閾値電圧の低い方へのバラツキに起因するオーバーイレース状態のメモリセルの出現の危険性はなくなり、信頼性の高い不揮発性半導体メモリおよびその消去方法を実現できるのである。

## 【0065】

また、上記メモリセルの閾値電圧の高い方へのバラツキに起因する2回目以降の消去ベリファイおよび消去パルス印加の実行回数を減らすことができ、消去時間が長くなることを防止できるのである。

## 【0066】

さらに、図19に示すようなオーバーイレース防止手段としての抵抗素子を挿入する必要もないことから、図19に示す上記オーバーイレース防止手段を用いた場合の消去時間と比較して約30%の消去時間の短縮を実現することができるのである。

## 【0067】

上述したように、本実施の形態においては、共通ソース線 21 へ印加する消去パルスの電圧値を、外部端子 26 の電圧  $V_{pp}$  (1.2 V) を 3500  $\Omega$  の抵抗素子 28 で電圧降下した電圧  $V_{rpin}$  をレギュレータ回路 27 に供給し、5 V に安定化させた電圧  $V_{pll}$  としている。そして、レベル検知回路 22 は、消去開始において 5 V からスタートして約 6 V 以上の電圧振幅を取るレギュレータ回路 27 への入力電圧  $V_{rpin}$  と 1.1 V の参照電圧  $V_{ref}$  との比較結果で、1 回目の消去パルス印加終了を判定している。

## 【0068】

したがって、上記レベル検知回路 22 における出力段のバラツキの影響を小さく圧縮でき、1 回目の消去パルス印加終了後におけるメモリセルの閾値電圧のバラツキを小さくできる。すなわち、本実施の形態による消去方法をフラッシュメモリ等の不揮発性半導体メモリに適用した場合には、1 回目の消去パルス印加時のメモリセルの閾値電圧の低い方へのバラツキに起因するオーバーイレース状態のメモリセルの出現の危険性を無くすることができる。一方、閾値電圧の高い方へのバラツキに起因する 2 回目以降の消去ベリファイおよび消去パルス印加の実行回数を減らすことができ、消去時間が長くなることを防止できるのである。

## 【0069】

すなわち、本実施の形態によれば、消去速度を劣化させることなく、且つ、閾値電圧のバラツキが小さくなるように 1 回目の消去パルス印加を実行できる不揮発性半導体メモリ装置、及び、その消去方法を実現することができるのである。

## 【0070】

## ＜第 2 実施の形態＞

次に、第 2 の実施形態について、図 6 に示す消去時ソース電圧印加回路のブロック図に従って説明する。共通ソース線 31, レベル検知回路 32, レベルシフター回路 33, P-MOS トランジスタ 34, 消去パルス発生回路 35, レベルシフター回路 36, P-MOS トランジスタ 37, N-MOS トランジスタ 38, レギュレータ回路 39 および抵抗素子 40 は、上記第 1 実施の形態における共通ソース線 21, レベル検知回路 22, レベルシフター回路 23, P-MOS トランジスタ

タ P1, 消去パルス発生回路 24, レベルシフター回路 25, P-MOS トランジスタ P2, N-MOS トランジスタ N2, レギュレータ回路 27 および抵抗素子 28 と同様である。

## 【 0 0 7 1 】

上記第 1 実施の形態においては、上記共通ソース線 21 に印加する電圧は、外部端子 26 から入力される電圧  $V_{pp}$  (例えば、12V) である。ところが、フラッシュメモリ等の不揮発性半導体メモリは単一電源が一般的であり、表 1 に示すような各モードに必要な各種電圧は、内部の昇圧用チャージポンプ回路によって発生される。

## 【 0 0 7 2 】

本実施の形態においては、上記第 1 実施の形態において用いられる外部端子 26 からの電圧  $V_{pp}$  の代わりに、昇圧回路 (不揮発性半導体メモリ内部の昇圧用チャージポンプ回路) 41 によって昇圧された電圧  $HV_{pp}$  を用いるのである。こうして、より実地的な不揮発性半導体メモリの構成を実現している。ここで、電圧  $HV_{pp}$  は約 10V 程度である。

## 【 0 0 7 3 】

本実施の形態においては、上記電圧  $HV_{pp}$  を、抵抗素子 40 を介してレギュレータ回路 39 に入力し、レギュレータ回路 39 からは 5V の安定した電圧  $V_{pl1}$  を出力するのである。1 回目の消去パルス印加直後に流れるリーク電流を含む最大消去電流は、上記第 1 実施の形態の場合と同様に 2mA である。したがって、抵抗素子 40 の抵抗値は、 $(10V - 5V) / 2mA = 2500\Omega$  とすれば、最大消去電流時を含めてレギュレータ回路 39 からの出力は安定した 5V の電圧  $V_{pl1}$  を維持できるのである。

## 【 0 0 7 4 】

尚、上記昇圧回路 41 からの電圧  $HV_{pp}$  は約 10V 程度であるため、本実施の形態におけるレベル検知回路 32 は、参照電圧 ( $R_{ef}$  電圧) として 9V を用いている。

## 【 0 0 7 5 】

この場合における上記レギュレータ回路 39 への入力電圧  $V_{rpin}$  とメモリセル

の閾値電圧  $V_{th}$  と消去時間との関係を図 7 に示す。電圧  $V_{rpin}$  は消去初期の電圧 5 V からスタートして約 4 V 以上の電圧振幅を取ることができるため、プロセスバラツキや温度バラツキによってレベル検知回路 32 の入力段にオフセット電圧バラツキが存在しても、出力段のバラツキの影響を小さく圧縮させることができる。したがって、上記第 1 実施の形態と同様に、1 回目の消去パルス印加終了後におけるメモリセルの閾値電圧のバラツキを小さくでき、 $\pm 0.2$  V 程度、即ち 0.4 V 程度の範囲に低減させることができるのである。

## 【0076】

その結果、上記第 1 実施の形態の場合と同様の効果を得ることができるのである。尚、本実施の形態においては、上記昇圧回路 41 によって内部で電圧  $HV_{pp}$  を発生させているため、上記第 1 実施の形態のような電圧  $V_{pp}$  を取り込むための外部端子 26 は必要としない。

## 【0077】

尚、上記各実施の形態において、上記レギュレータ回路 27, 39 の入力電圧  $V_{rpin}$  の初期の電圧とレベル検知回路 22, 32 の参照電圧  $V_{ref}$  との差は約 4 V 以上にするのが好ましく、したがって、電圧  $V_{pp}$  や電圧  $HV_{pp}$  は 9 V 以上に設定することが望ましい。

## 【0078】

また、上記各実施の形態においては、上記外部端子 26 あるいは昇圧回路 41 から抵抗素子 28, 40 を介してレギュレータ回路 27, 39 に供給される電圧値の消去電流値の低下に起因する上昇に基づいて、1 回目の消去パルス印加終了を判定している。しかしながら、この発明はこれに限定されるものではなく、図 13 に示すような消去電流値の低下を直接検出し、この検出結果に基づいて 1 回目の消去パルス印加終了を判定しても差し支えない。

## 【0079】

## 【発明の効果】

以上より明らかなように、第 1 の発明の不揮発性半導体メモリ装置は、消去時に、電圧レベル検知手段によって共通ソース線に対する消去電圧の印加開始を指示されると、消去電圧印加手段によってレギュレータ回路からの上記共通ソース

線に対する消去電圧の印加が開始され、上記電圧レベル検知手段によって、外部電源から抵抗素子を介して上記レギュレータ回路への入力電圧が所定の電圧レベルに到達したことが検知されて上記共通ソース線に対する消去電圧の印加終了が指示されると、上記消去電圧印加手段によって上記共通ソース線に対する消去電圧の印加が終了されるので、消去時間の経過による浮遊ゲート電界効果トランジスタの閾値電圧の低下に伴う上記 B T B T 電流も含めたリーク電流の減少を、上記外部電源とレギュレータ回路との間に挿入された抵抗素子による電圧降下量の変化として取り出すことができる。

## 【 0 0 8 0 】

したがって、上記外部電源の電圧と上記抵抗素子の抵抗値とを適当に選べば、上記電圧レベル検知手段による検知電圧である上記抵抗素子からレギュレータ回路への入力電圧の電圧振幅を大きく取ることができ、温度バラツキやプロセスバラツキ等に起因する上記電圧レベル検知手段における出力段のバラツキの影響を小さく圧縮することができる。こうして、消去電圧印加終了時における上記浮遊ゲート電界効果トランジスタの閾値電圧のバラツキを小さくすることができる。

## 【 0 0 8 1 】

すなわち、この発明によれば、以後行われる消去パルス印加および消去ベリファイの繰り返しの際に、上記閾値電圧の低い方へのバラツキに起因するオーバーレース状態のメモリセルの出現や、上記閾値電圧の高い方へのバラツキに起因する消去時間の延長を防止することができる。したがって、結果として、消去時間を短縮できると共に、消去パルス印加の際と消去ベリファイの際とに発生する余分な放電を繰り返す必要がなく、消費電流の低減を実現することができるのである。

## 【 0 0 8 2 】

また、第 1 の実施例の不揮発性半導体メモリ装置は、上記レギュレータ回路へは、上記外部電源と抵抗素子との間に介設された昇圧回路からの出力電圧を、上記抵抗素子を介して供給するので、消去スピードが劣化せず、消費電流の低減を図ることができる不揮発性半導体メモリ装置を、フラッシュメモリ等において従来から用いられている書き込み、消去および読み出しの用の各電圧を単一電源か

ら内部的に生成する上記昇圧回路を利用して構成することができる。

【 0 0 8 3 】

また、第2の実施例の不揮発性半導体メモリ装置は、上記電圧レベル検知手段によって検知される所定の電圧レベルを、上記共通ソース線に印加される消去電圧よりも高くしたので、上記電圧レベル検知手段は、消去時間の経過と共に上記浮遊ゲート電界効果トランジスタの閾値電圧が低下してリーク電流が減少し、それに伴って上記消去電圧から上昇して行く上記レギュレータ回路への入力電圧に基づいて、上記消去電圧の印加終了を的確に判定することができるのである。

【 0 0 8 4 】

また、第3の実施例の不揮発性半導体メモリ装置は、上記抵抗素子の抵抗値を $(\text{上記外部電源の電圧} - \text{上記消去電圧}) / (\text{消去電流の最大値})$ と成したので、上記レギュレータ回路への入力電圧を、上記消去電流が最大の場合であっても確実に上記消去電圧になるように設定することができる。

【 0 0 8 5 】

また、第4の実施例の不揮発性半導体メモリ装置は、上記抵抗素子の抵抗値を $(\text{上記昇圧回路における消去時の出力電圧} - \text{上記消去電圧}) / (\text{消去電流の最大値})$ と成したので、上記レギュレータ回路への入力電圧を、上記消去電流が最大の場合であっても確実に上記消去電圧になるように設定することができる。

【 0 0 8 6 】

また、第5の実施例の不揮発性半導体メモリ装置は、上記外部電源の電圧あるいは上記昇圧回路における消去時の出力電圧を上記消去電圧よりも高い電圧にしたので、消去時間の経過と共に上記浮遊ゲート電界効果トランジスタの閾値電圧が低下し、それに伴って上記リーク電流が減少した際に、レギュレータ回路への入力電圧を上記消去電圧から上昇させることが可能になる。したがって、上記消去電圧の印加終了を的確に且つ安定して判定することができる。

【 0 0 8 7 】

また、第6の実施例の不揮発性半導体メモリ装置は、上記外部電源の電圧あるいは上記昇圧回路における消去時の出力電圧は9 V以上であるので、上記共通ソース線に印加される消去電圧を例えば5 Vとすると、上記電圧レベル検知手段に

よる検知電圧である上記抵抗素子からレギュレータ回路への入力電圧の電圧振幅を4Vと十分に大きく取ることができる。

【0088】

また、第2の発明の不揮発性半導体メモリ装置の消去方法は、制御ゲート、浮遊ゲート、ドレインおよびソースを有して電氣的に情報の書き込みおよび消去が可能な浮遊ゲート電界効果トランジスタの1ブロック分のソースが接続された共通ソース線に消去電圧を印加し続ける第1消去動作中において、上記共通ソース線に印加する電圧を発生させる安定化回路とこの安定化回路の電源との間に流れる電流値を検出し、所定の電流値に至った場合には上記第1消去動作を停止すると共に、上記共通ソース線への消去パルスの印加と消去ベリファイとを繰り返して行う第2消去動作を開始するので、消去時間の経過による浮遊ゲート電界効果トランジスタの閾値電圧の低下に伴う上記BTBT電流も含めたリーク電流の減少を、上記電源から安定化回路への電流値の変化として取り出すことができる。

【0089】

したがって、温度バラツキやプロセスバラツキ等があっても、消去電圧印加終了時における上記浮遊ゲート電界効果トランジスタの閾値電圧のバラツキを小さくすることができる。すなわち、この発明によれば、以後行われる消去パルス印加および消去ベリファイの繰り返しの際に、上記閾値電圧の低い方へのバラツキに起因するオーバーイレース状態のメモリセルの出現や、上記閾値電圧の高い方へのバラツキに起因する消去時間の延長を防止することができるのである。

【図面の簡単な説明】

【図1】 この発明の不揮発性半導体メモリ装置における消去時ソース電圧印加回路のブロック図である。

【図2】 図1におけるレギュレータ回路の具体的構成例を示す図である。

【図3】 図1におけるレベル検知回路の具体的構成例を示す図である。

【図4】 図1に示す消去時ソース電圧印加回路による消去動作のアルゴリズムを示す図である。

【図5】 図1におけるレギュレータ回路への入力電圧とメモリセルの閾値電圧との消去時間に対する変化を示す図である。

【図 6】 図 1 とは異なる消去時ソース電圧印加回路のブロック図である。

【図 7】 図 6 におけるレギュレータ回路への入力電圧とメモリセルの閾値電圧との消去時間に対する変化を示す図である。

【図 8】 E T O X 型フラッシュメモリセルの模式的な断面図である。

【図 9】 書き込み状態および消去状態における閾値電圧分布を示す図である。

【図 1 0】 コントロールゲート負電圧消去方式の説明図である。

【図 1 1】 従来の消去動作のアルゴリズムを示す図である。

【図 1 2】 メモリセルの消去特性を示す図である。

【図 1 3】 メモリセルにおける消去電流と消去時間との関係を示す図である。

【図 1 4】 メモリセルにおけるソース線電圧と消去時間との関係を示す図である。

【図 1 5】 従来消去法 2 における消去時ソース電圧印加回路のブロック図である。

【図 1 6】 図 1 5 におけるソース線電圧とメモリセルの閾値電圧との消去時間に対する変化を示す図である。

【図 1 7】 従来消去法 2 にコントロールゲート負電圧消去を適用した場合における閾値電圧とソース線電圧との関係を示す図である。

【図 1 8】 従来消去法 2 にコントロールゲート負電圧消去を適用した場合におけるソース線電圧と消去時間との関係を示す図である。

【図 1 9】 従来消去法 2 にコントロールゲート負電圧消去を適用した場合における消去時ソース電圧印加回路のブロック図である。

【図 2 0】 図 1 9 におけるレベルシフタ回路の出力とレベル検知回路の入力との間に抵抗素子を挿入した際におけるソース線電圧と消去時間との関係を示す図である。

【符号の説明】

2 1 , 3 1 … 共通ソース線、

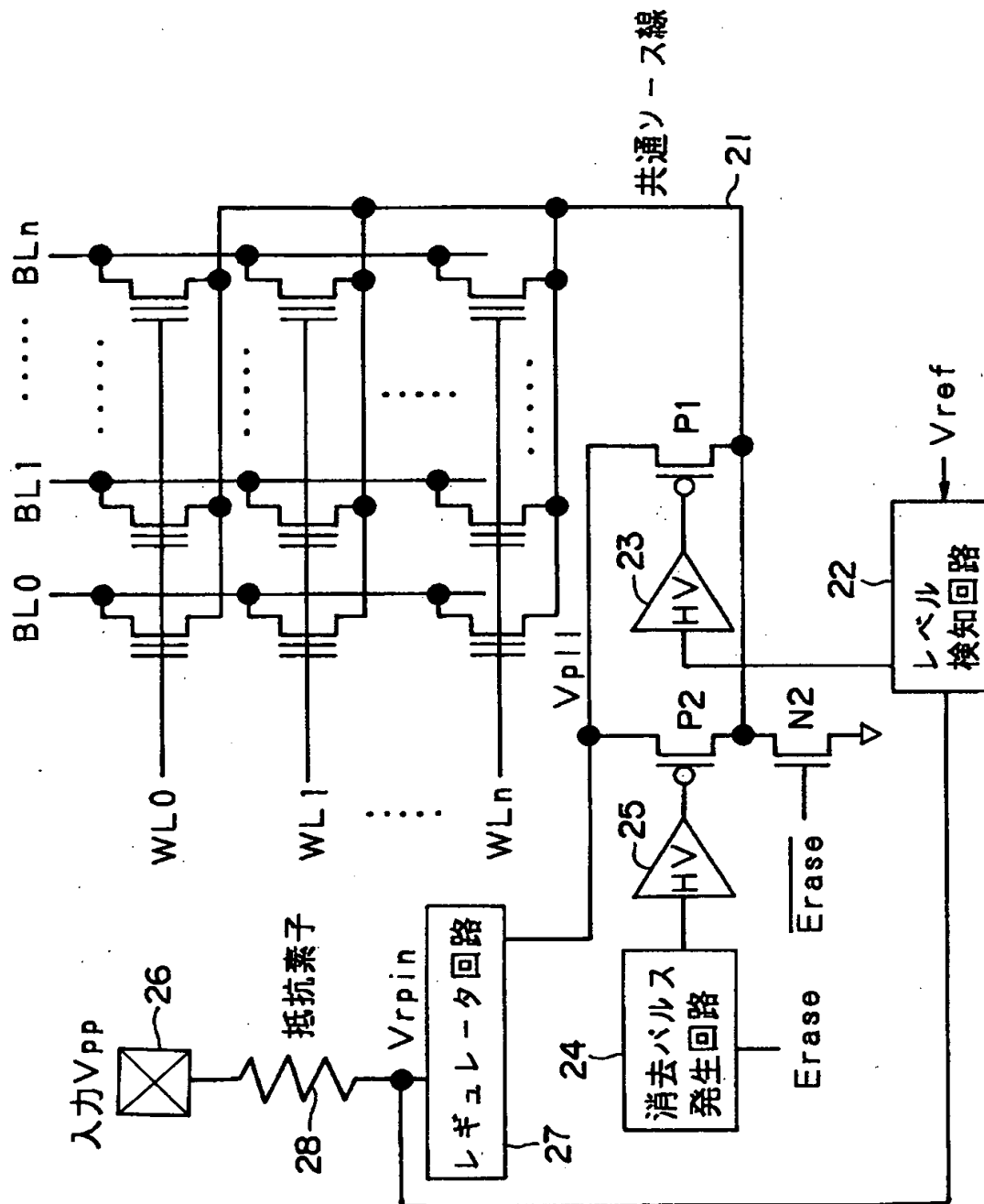
2 2 , 3 2 … レベル検知回路、



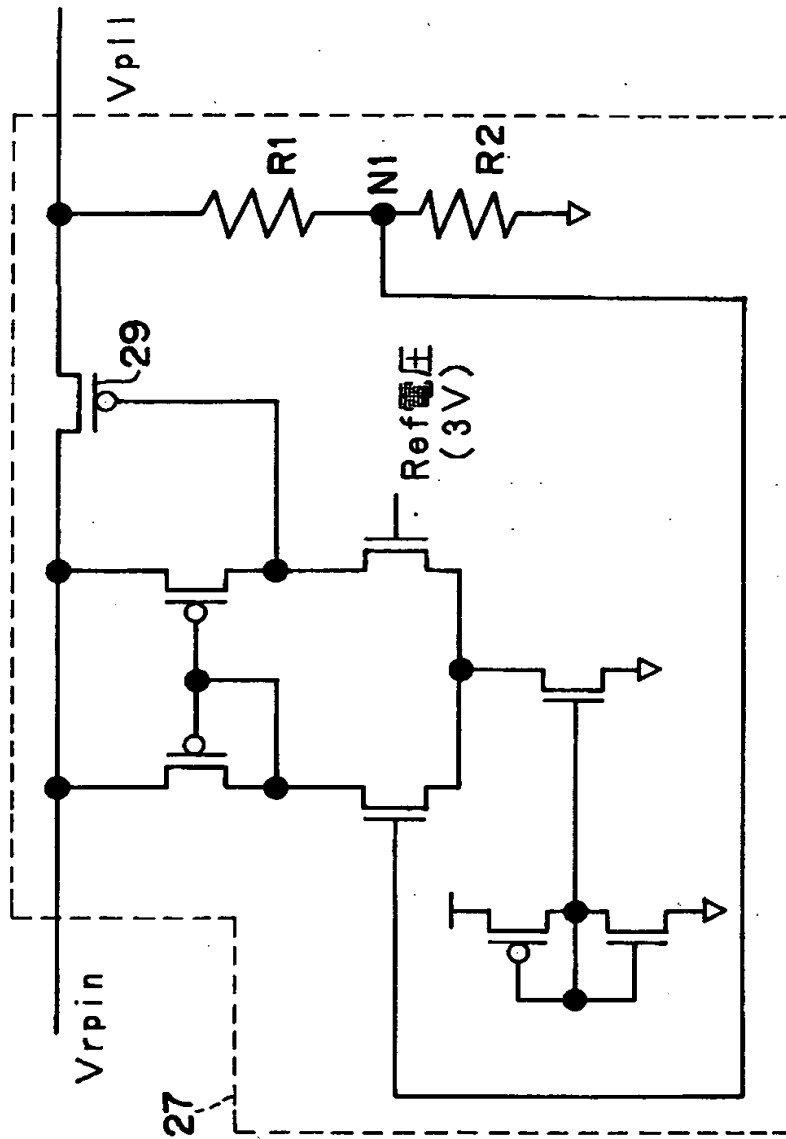
2 3 , 3 3 … レベルシフター回路、  
2 4 , 3 5 … 消去パルス発生回路、  
2 5 , 3 6 … レベルシフター回路、  
2 6 … 外部端子、  
2 7 , 3 9 … レギュレータ回路、  
2 8 , 4 0 … 抵抗素子、  
2 9 , 3 4 , 3 7 , P1, P2 … P - MOS トランジスタ、  
3 8 , N2 … N - MOS トランジスタ、  
4 1 … 昇圧回路。

【書類名】 図面

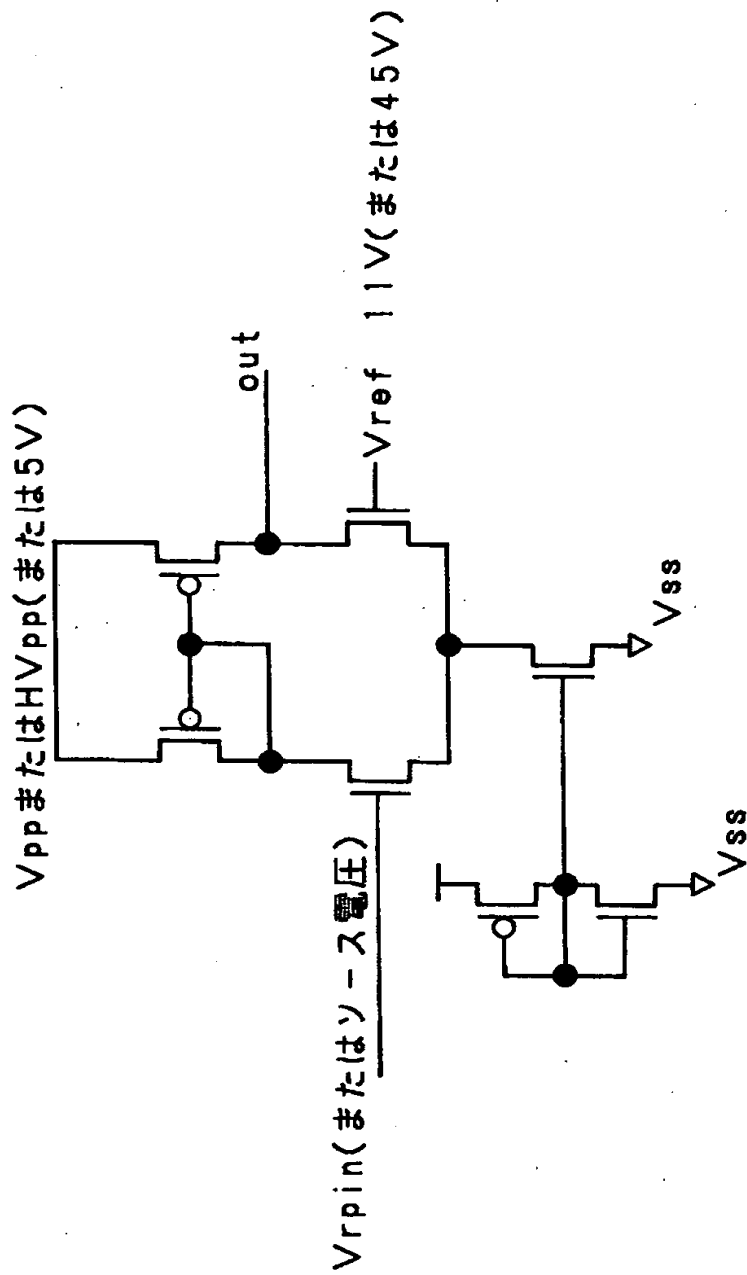
【図1】



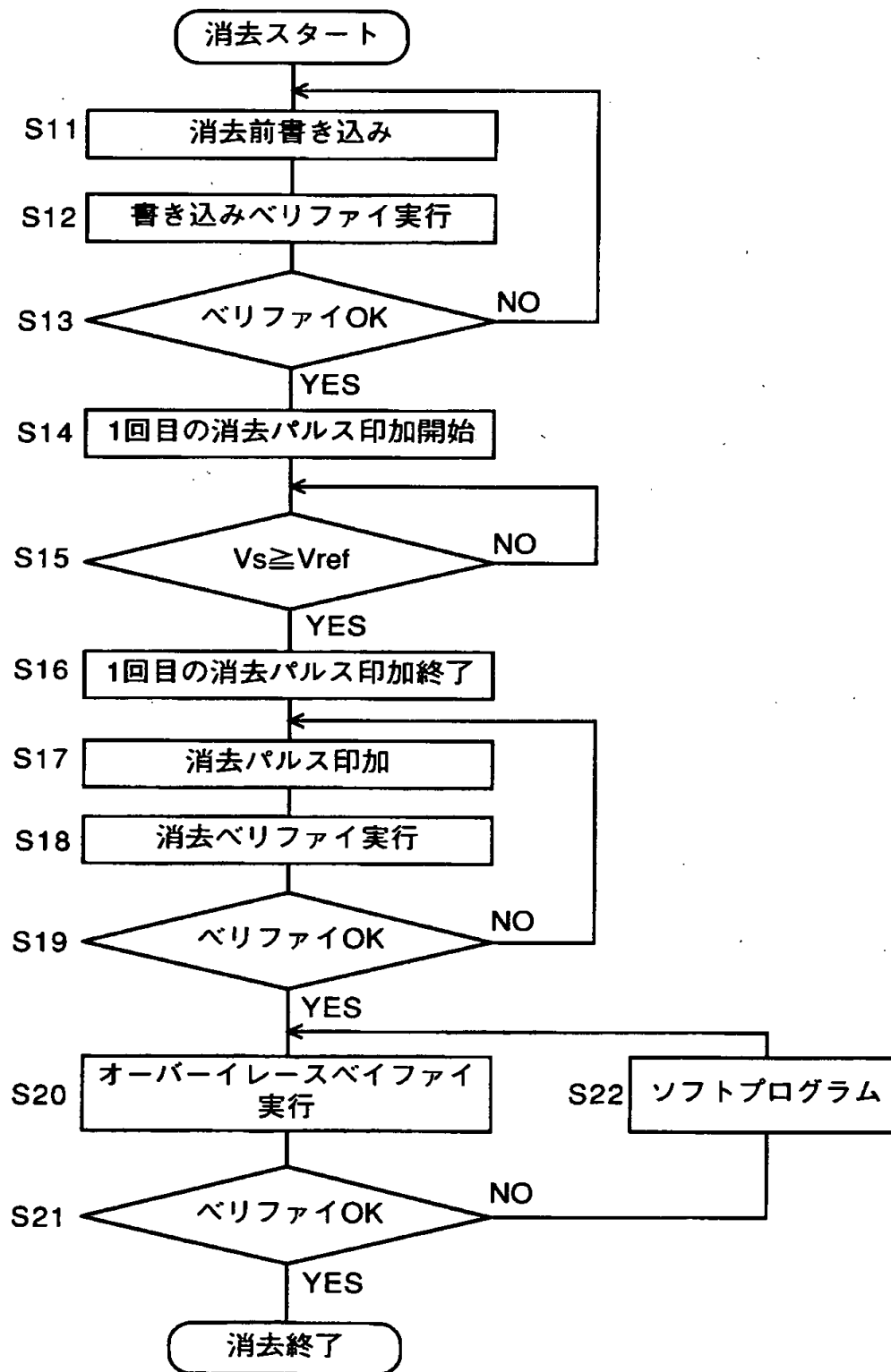
【図 2】



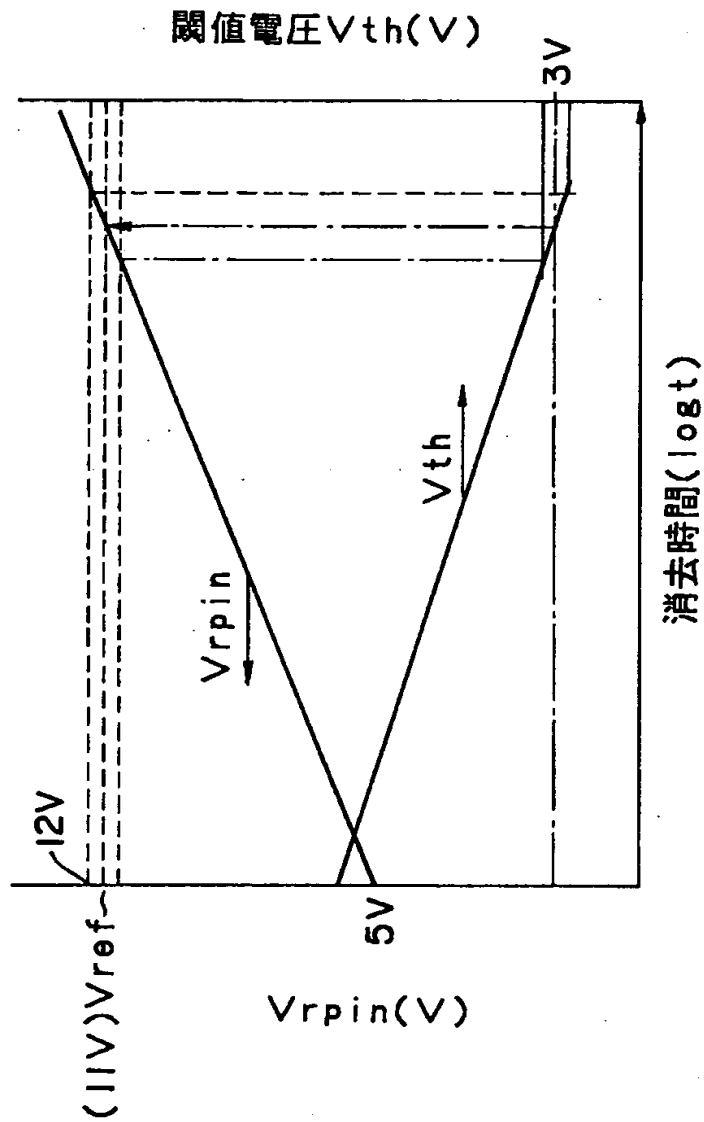
【図 3】



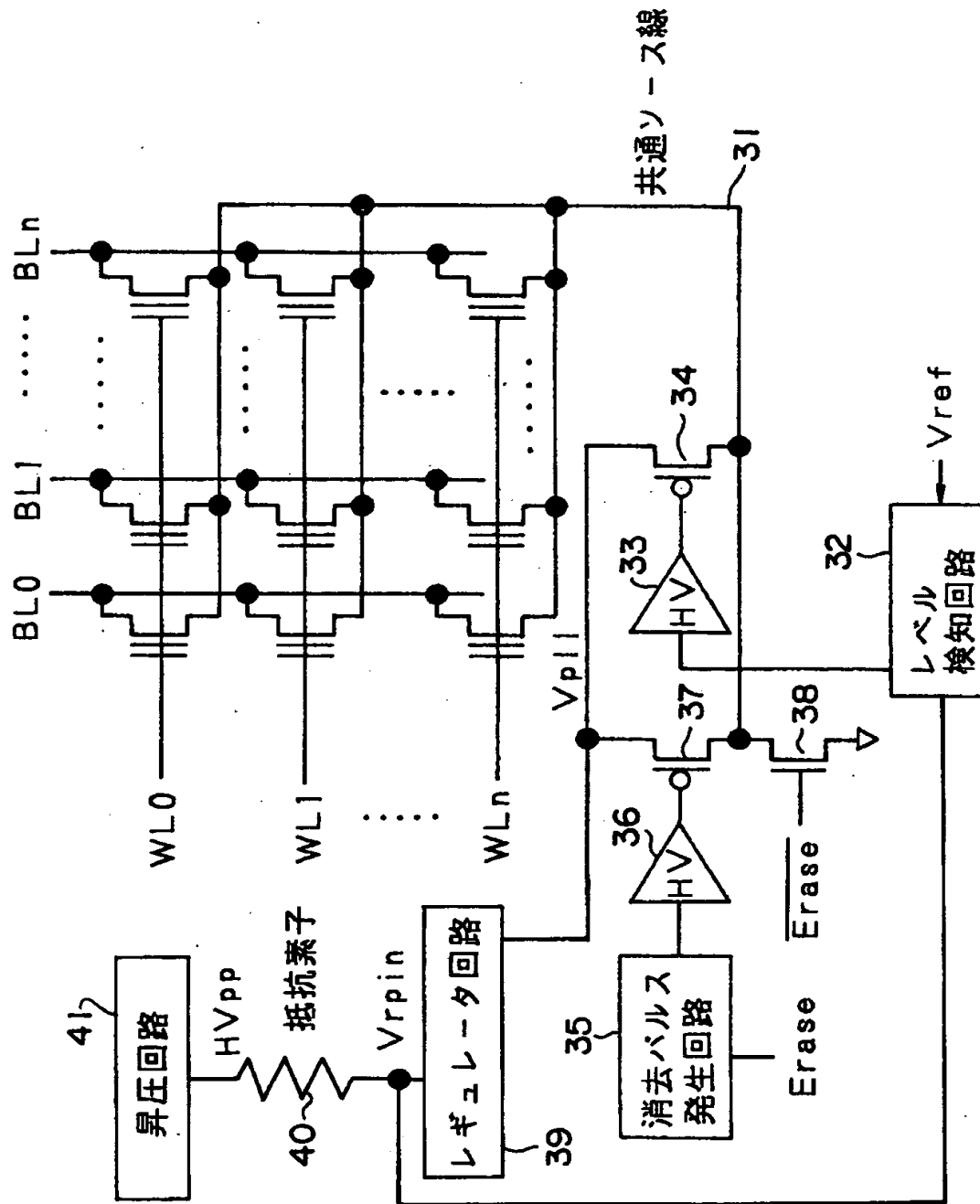
【図 4】



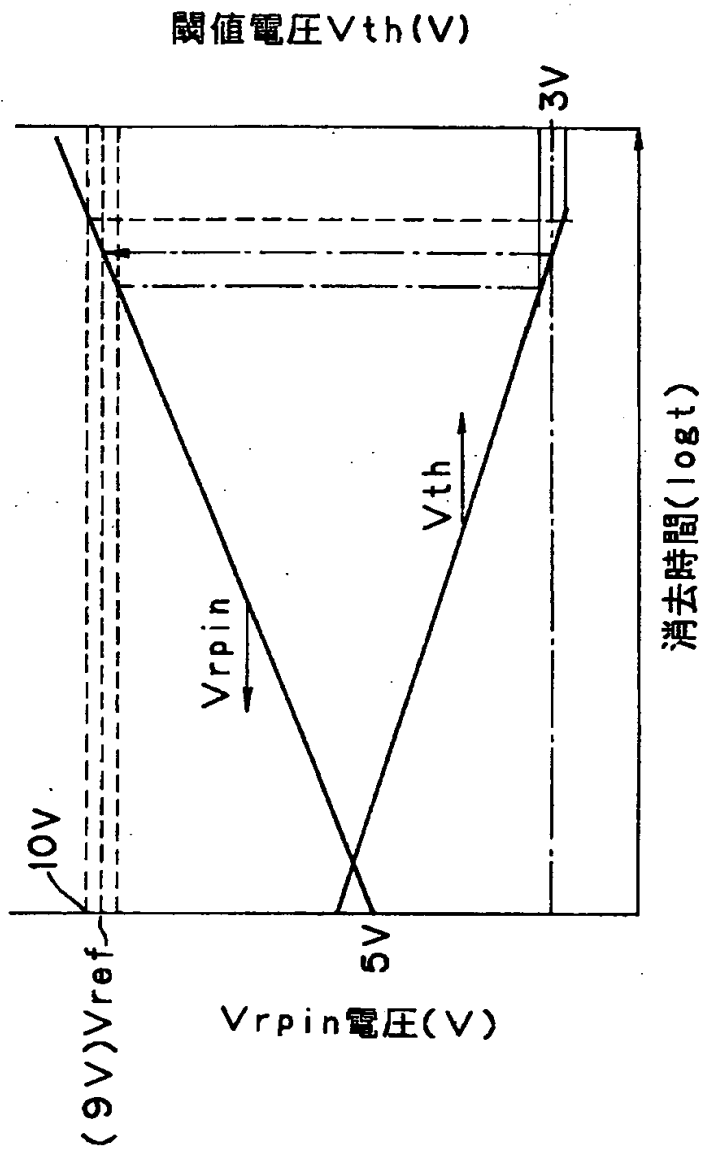
【図5】



【図 6】

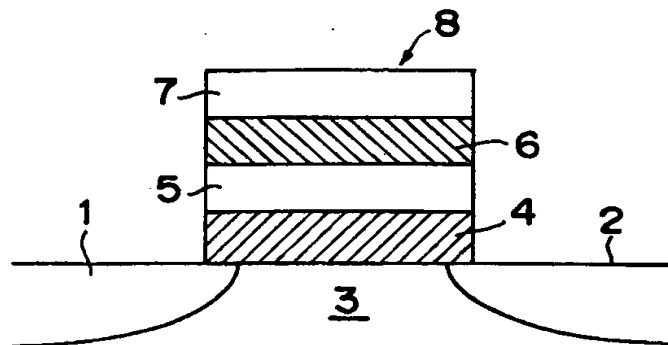


【図 7】

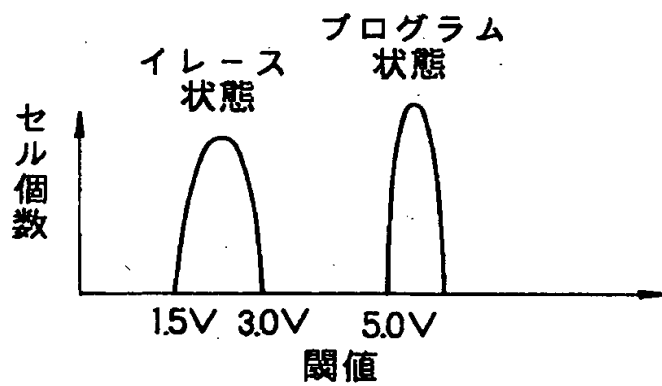




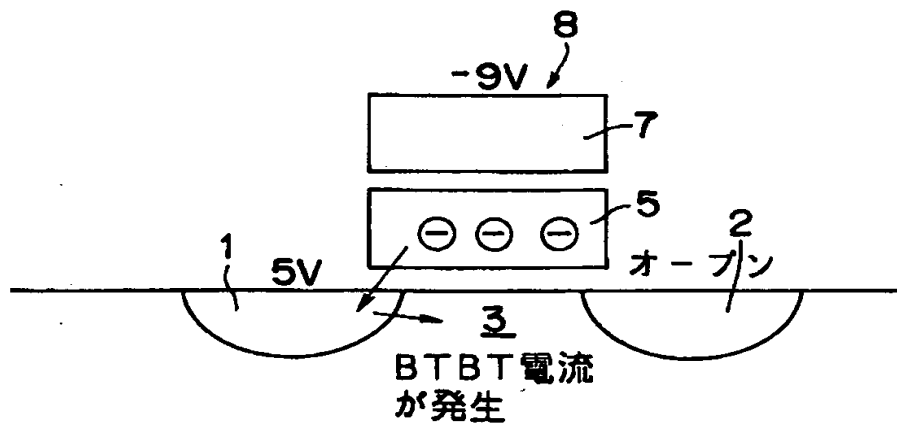
【図 8】



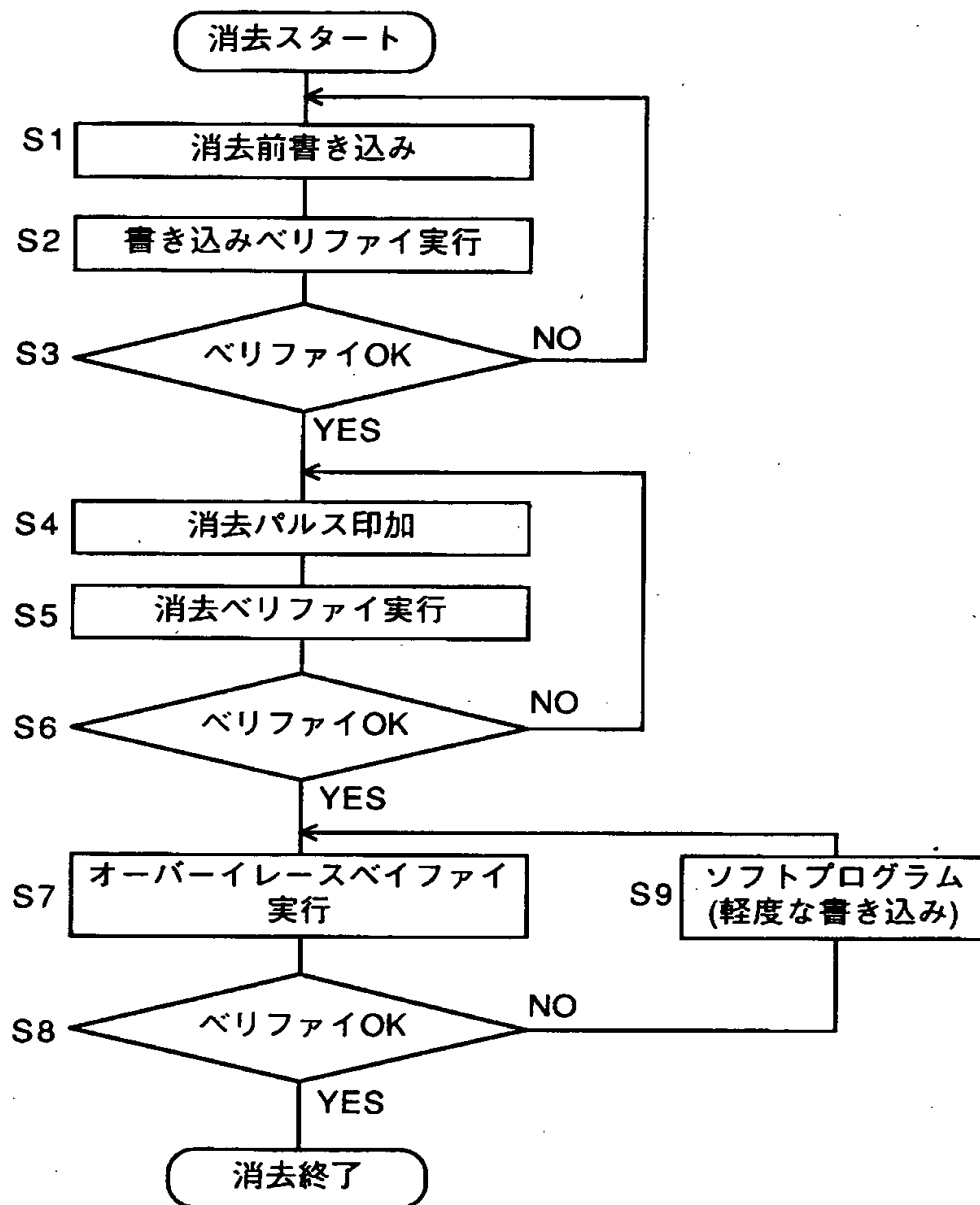
【図 9】



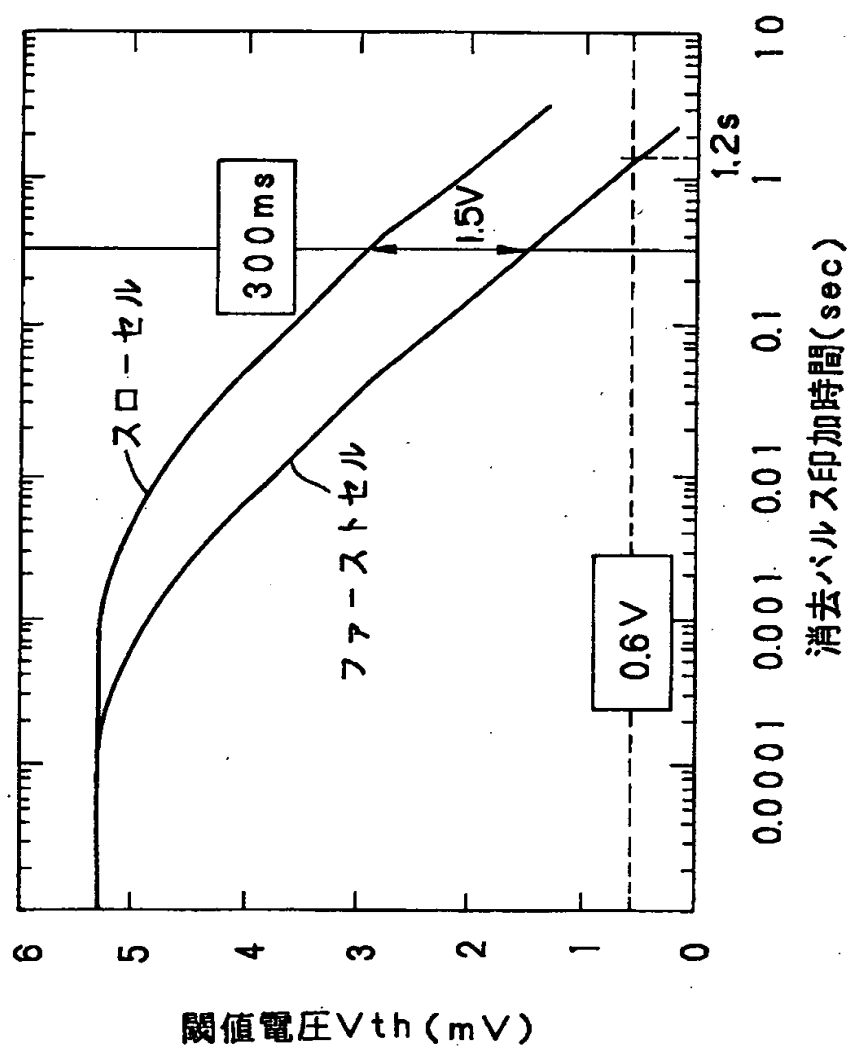
【図 10】



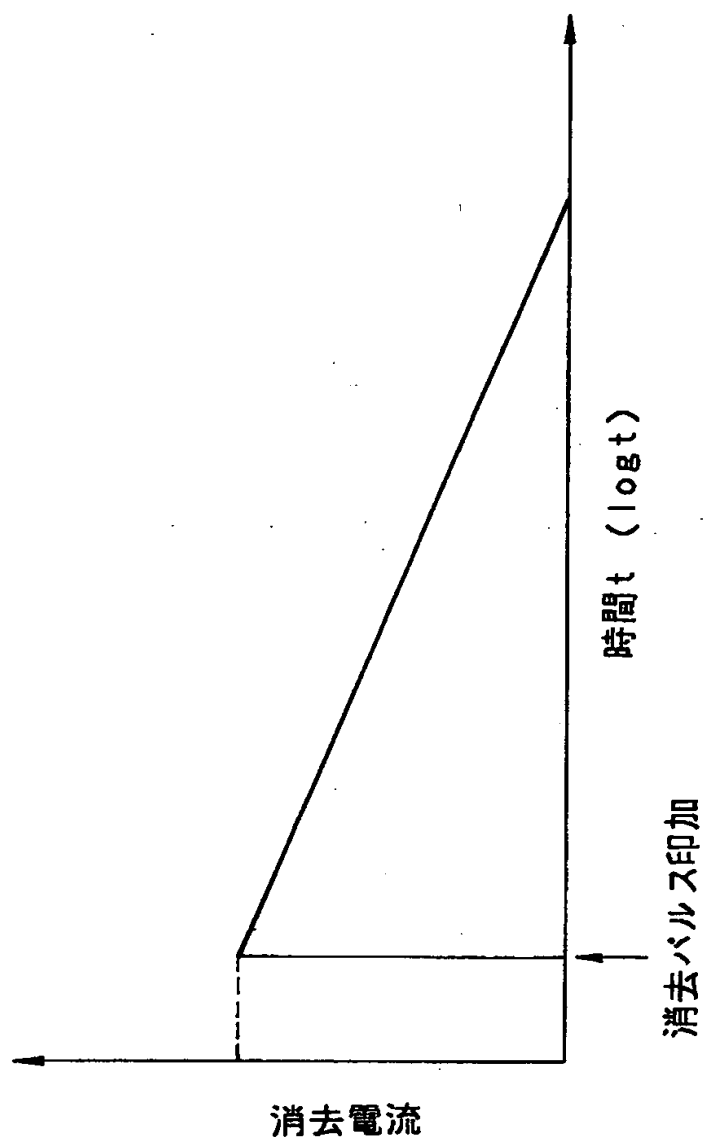
【図 11】



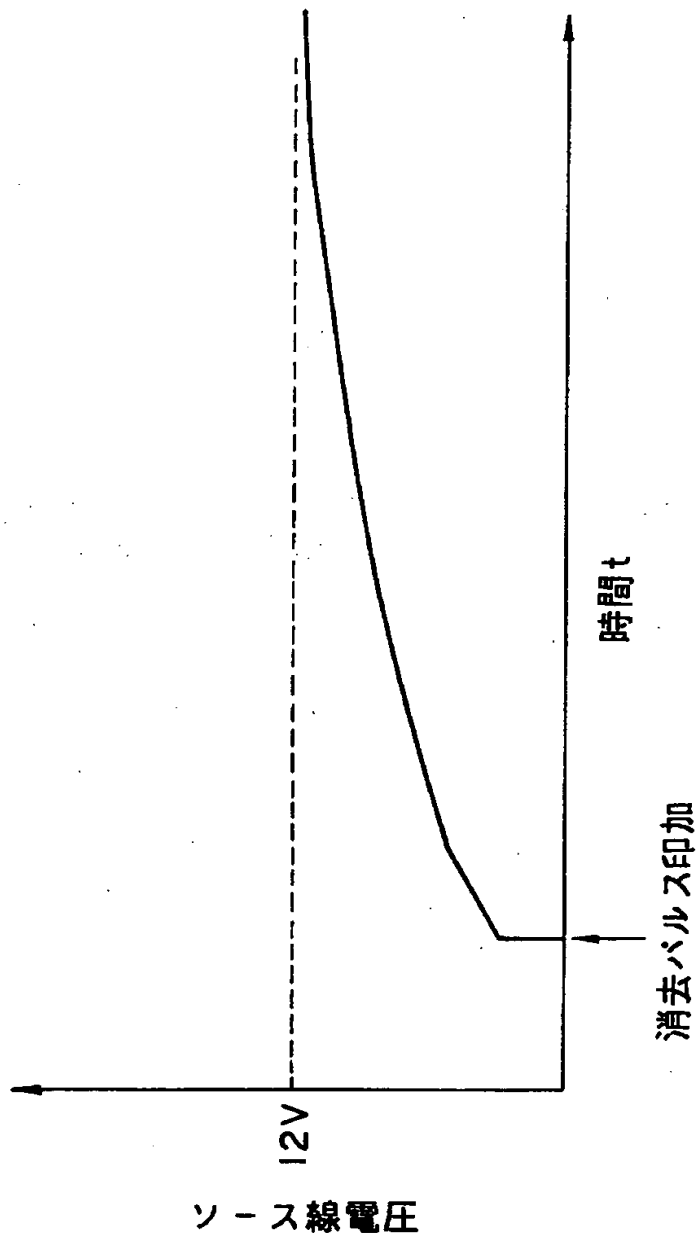
【図12】



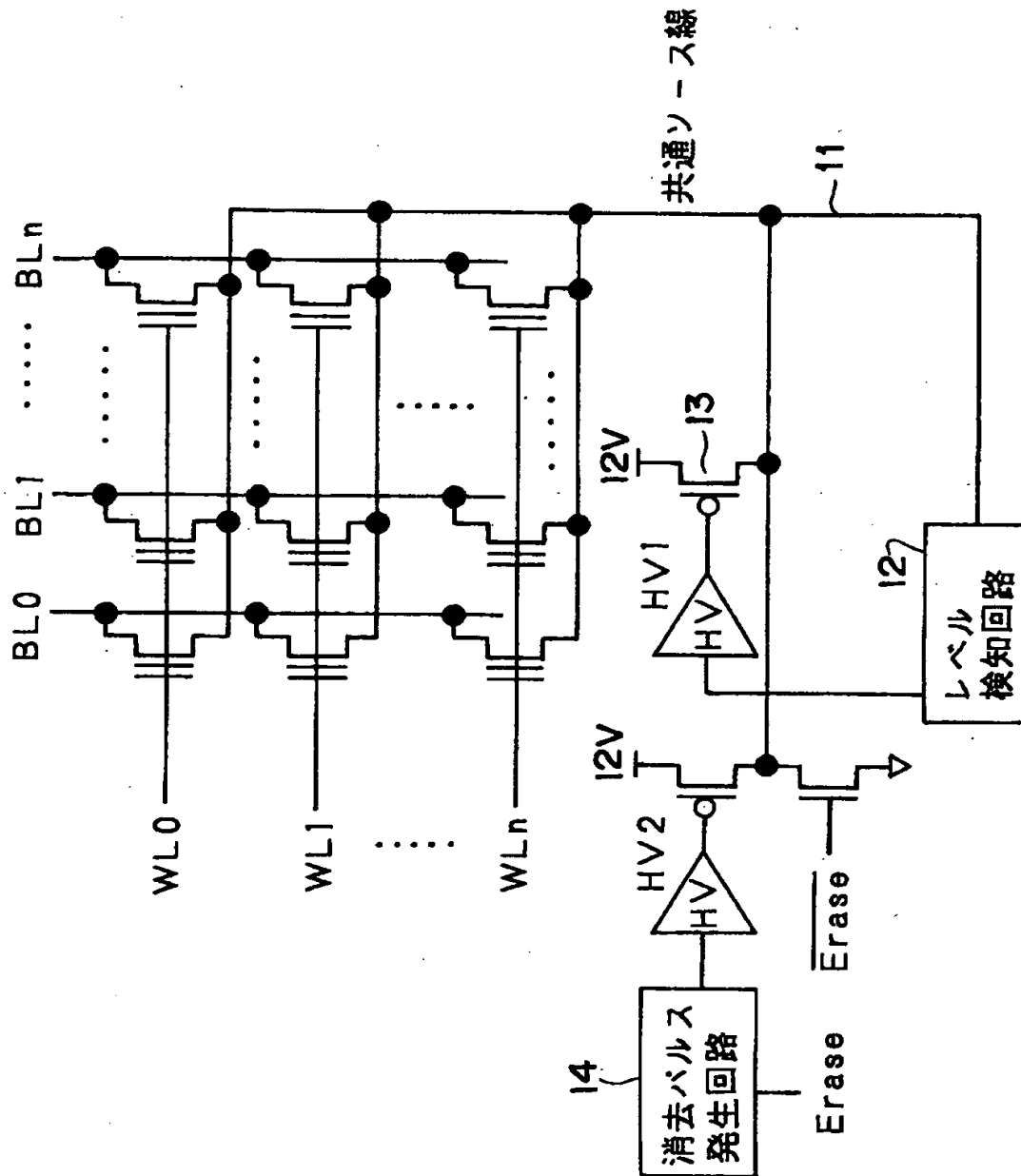
【図 13】



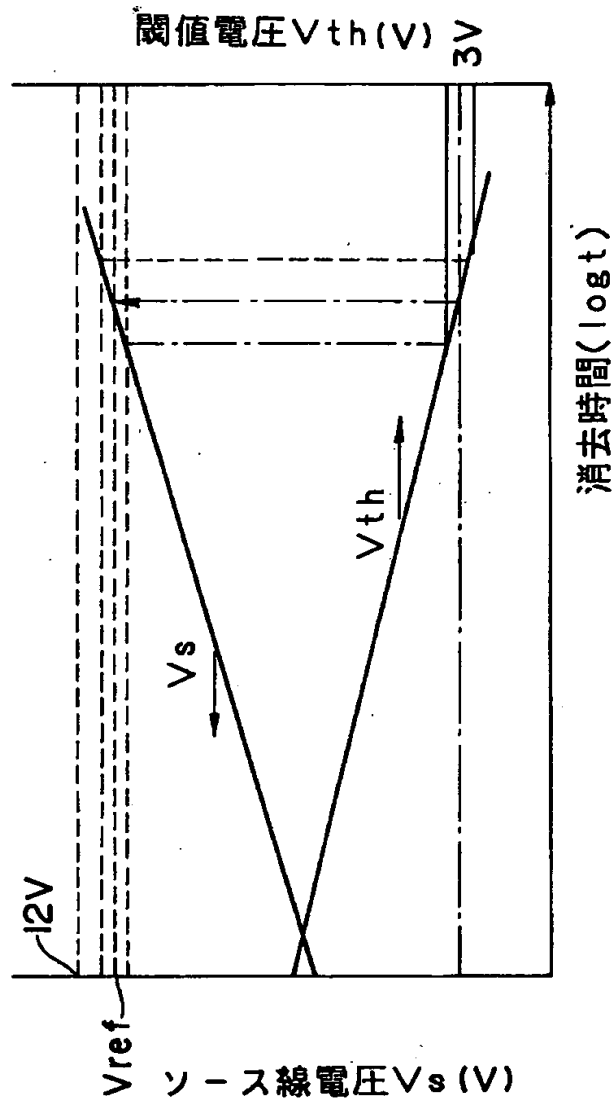
【図14】



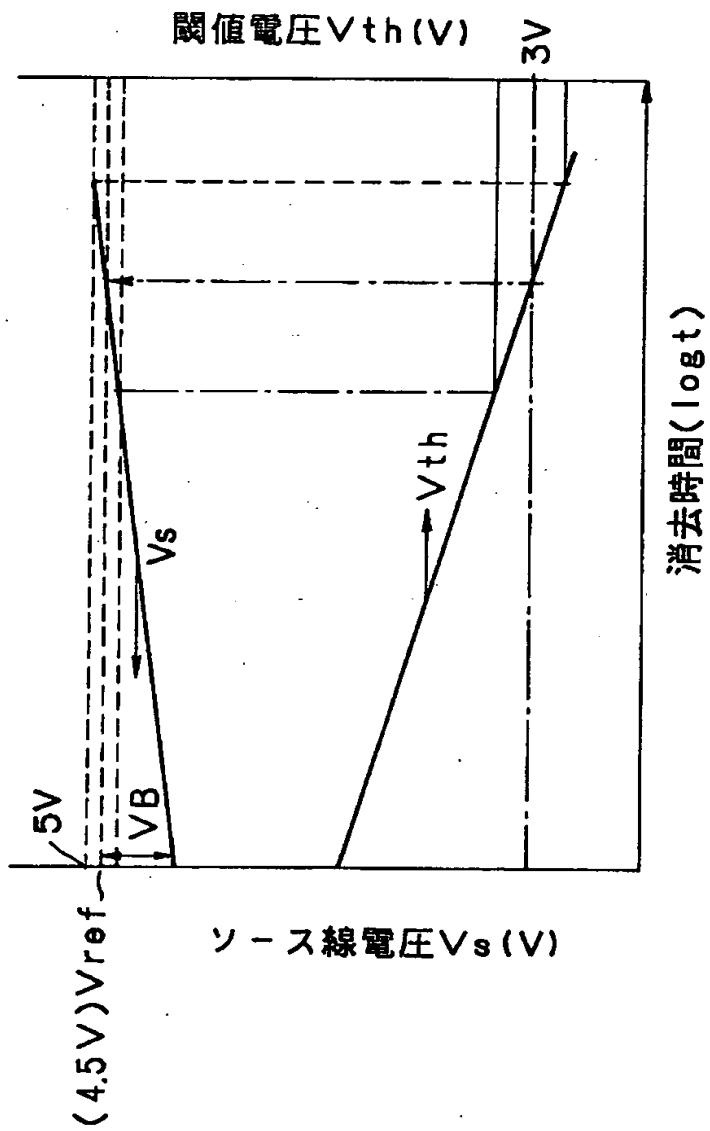
【図15】



【図 16】

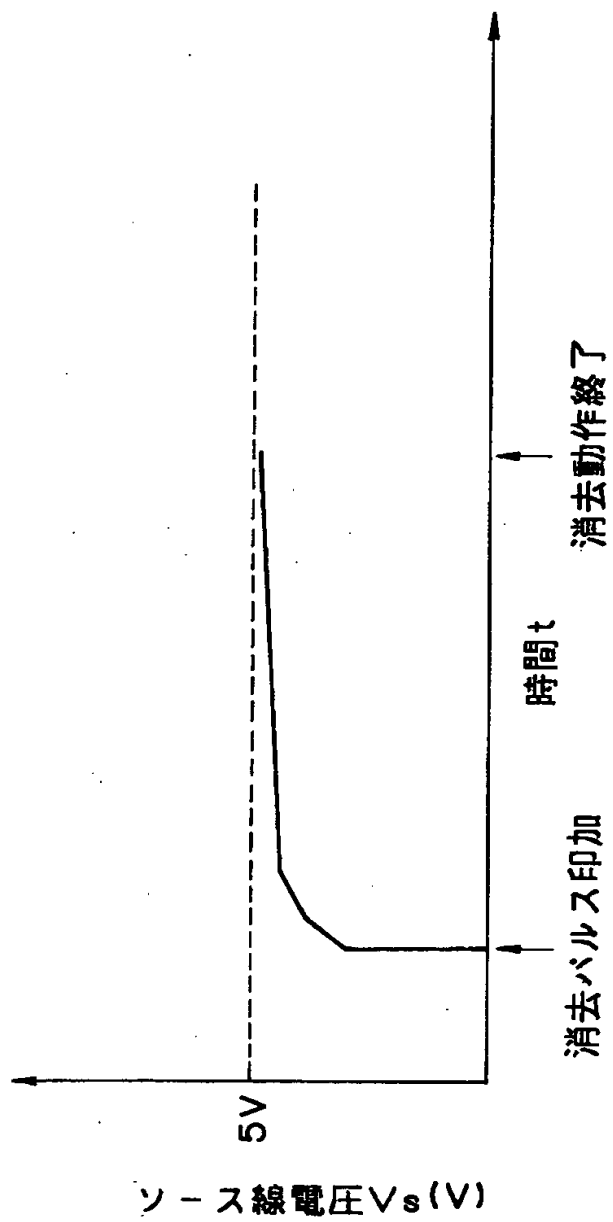


【図 17】

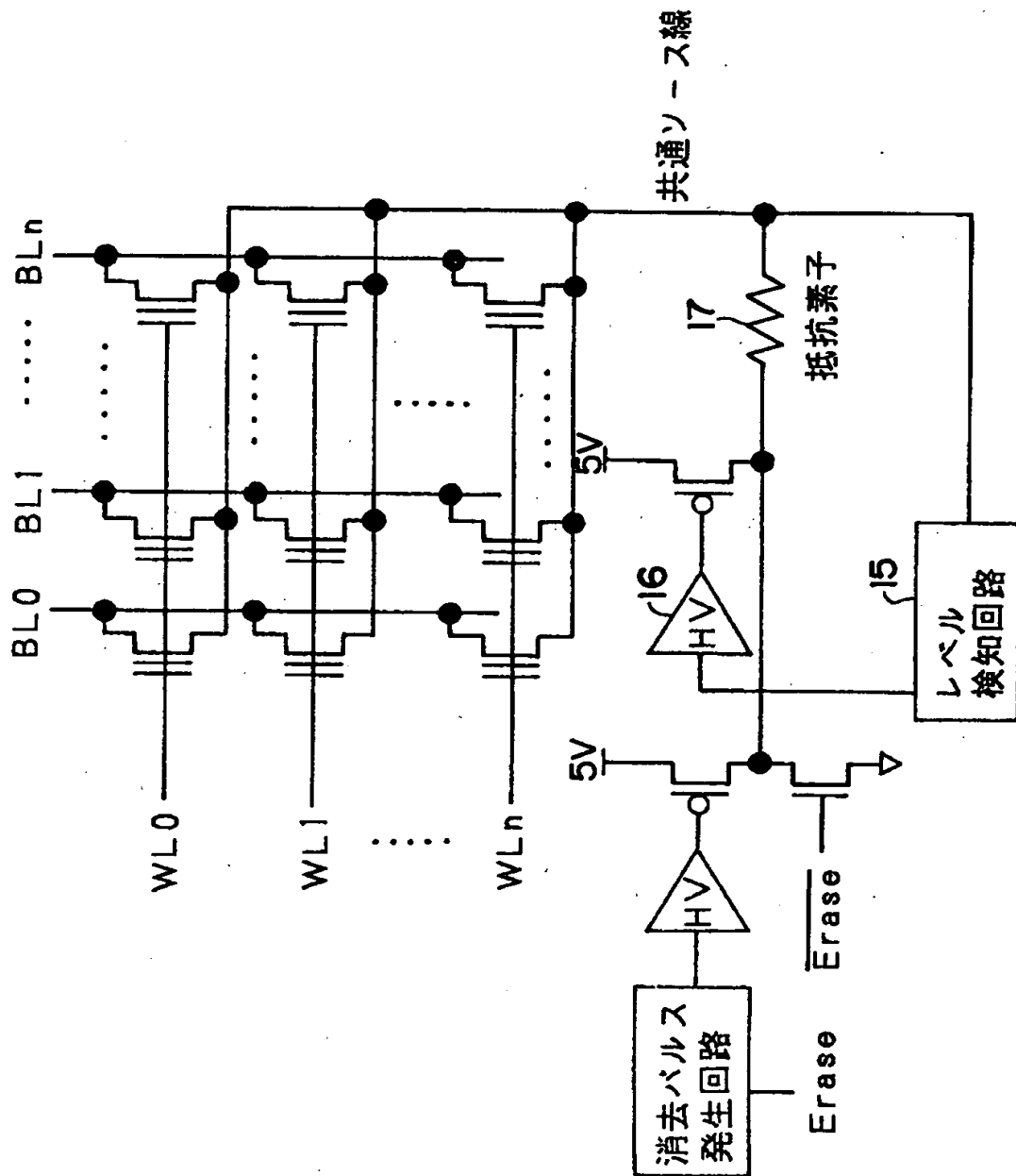




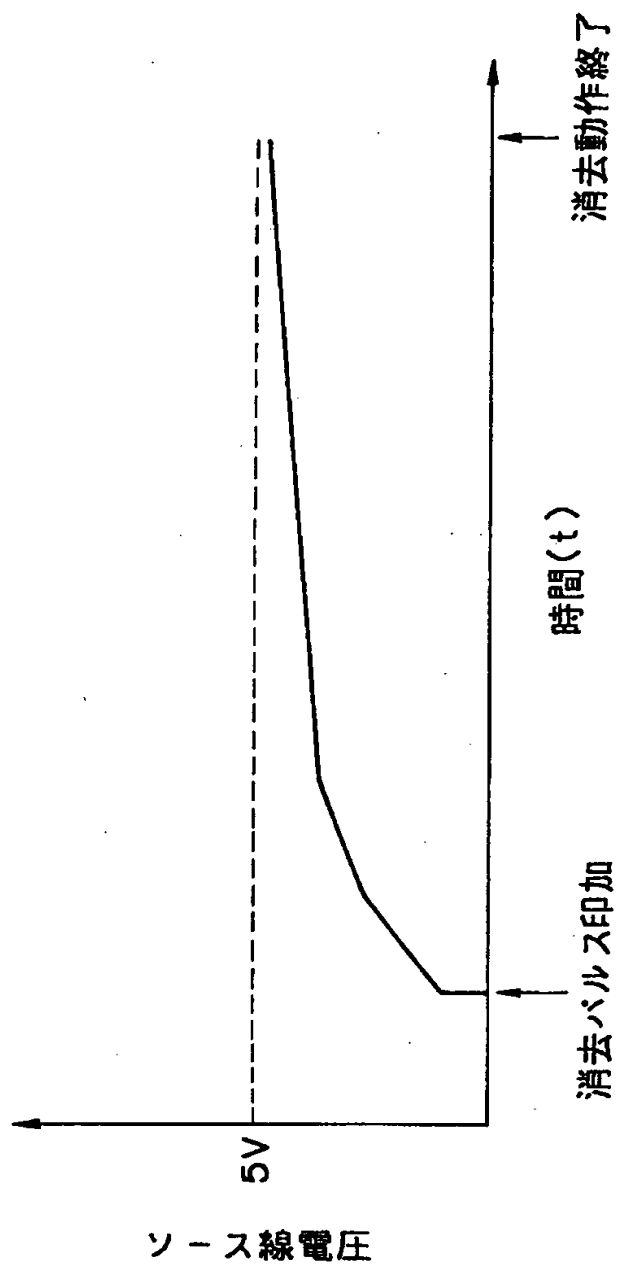
【図18】



【図19】



【図 20】



【書類名】 要約書

【要約】

【課題】 消去スピードを劣化させることなく、且つ、閾値電圧のバラツキが小さくなるように1回目の消去パルス印加時間を設定する。

【解決手段】 共通ソース線21へ印加する消去パルスの電圧値を、外部端子26への電圧 $V_{pp}$ (12V)を3500 $\Omega$ の抵抗素子28で電圧降下させた電圧 $V_{rpin}$ をレギュレータ回路27に供給し、5Vに安定化させた電圧 $V_{pll}$ としている。レベル検知回路22は、消去開始において5Vからスタートして約6V以上の大きな電圧振幅を取るレギュレータ回路27への入力電圧 $V_{rpin}$ と11Vの参照電圧 $V_{ref}$ との比較結果で、1回目の消去パルス印加終了を判定している。こうして、1回目の消去パルス印加終了後におけるメモリセルの閾値電圧のバラツキを小さくできる。したがって、ソース線電圧の変動を大きくするための抵抗素子を必要とはせず、消去スピードが劣化することはない。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000005049]

1. 変更年月日	1990年 8月29日
[変更理由]	新規登録
住 所	大阪府大阪市阿倍野区長池町22番22号
氏 名	シャープ株式会社